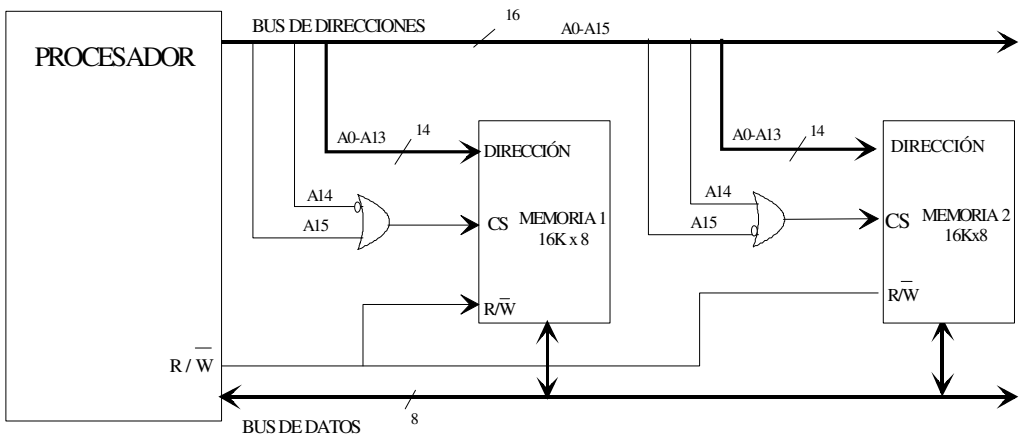
PROBLEMAS ESTRUCTURA DE COMPUTADORES II:

TEMA I:

EL PROCESADOR Y LA MEMORIA: CONEXIÓN Y COMUNICACIÓN

1. Se dispone de un subsistema de memoria como el mostrado en el siguiente esquema. Averiguar el rango de direcciones a los que corresponden los módulos M1 y M2.



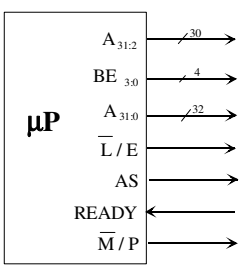
2. Dado un procesador de 8 bits con 16 líneas de direcciones y los siguientes bloques de memoria:

- RAM de 2^{11} x 8 instalada a partir de la dirección 2^{12}.

- ROM de 2^8 x 8 situada a partir de la dirección 0.

Implementar el mapa de memoria correspondiente.

3. Dado un microprocesador de 32 bits como el mostrado a continuación:



Se desea dotarlo con una memoria con las siguientes características:

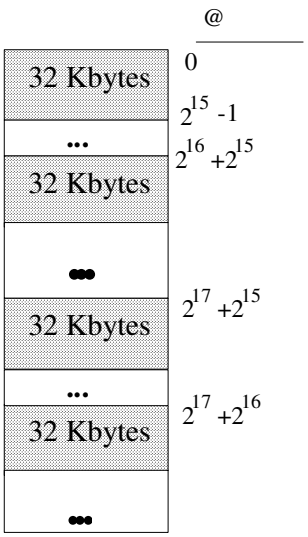
- 32 Kbytes de memoria tipo ROM, que tienen que estar en la zona inferior del mapa de direcciones (A partir de la dirección 0)

- 512 Kbytes de memoria tipo RAM estática, que tienen que estar a continuación de la ROM en el mapa de direcciones.

Diseñar esta memoria con una organización entrlazada, suponiendo que se dispone de pastillas ROM 16K x 8, y de pastillas RAM estáticas 128K x 8 con las correspondientes líneas de CS y tiempo de acceso iguales. Es necesario conectar la memoria al microprocesador.

a) Implementar el esquema entero de conexión, realizando una decodificación incompleta con tal de utilizar el mínimo número de puertas lógicas.
b) ¿ En qué pastilla y en qué dirección dentro de ésta se encuentra el byte con dirección 00000009h?
c) ¿ En qué pastilla y en qué direción se encuentra la palabra con dirección 00010000h?
d) ¿ En qué pastillas y en qué dirección dentro de éstas se encuentra la palabra larga (longword) con dirección 0010001h?
e) ¿ Cómo podríamos hacer que el tiempo de acceso en esta memoria fuese siempre el mismo en los casos de byte, word y longword?

4. Tenemos dos módulos básicos de memoria de 64 Kbytes cada uno y un procesador con un bus de datos de 8 bits y un bus de direcciones de 20 bits. ¿ Sabrías implementar el siguiente mapa de memoria? Además dibujar la lógica de decodificación.



5. Construir una memoria de 64K palabras de 16 bits de datos. Se dispone de pastillas RAM de 8K x 8 bits.

Se pide determinar:

a) Nº de bits de direcciones.
b) Nº de bits a decodificar
c) Diagrama de conexionado de las pastillas indicando líneas de selección (CS), líneas de direcciones y líneas de datos.

6. Supongamos que tenemos un procesador de 32 bits, con memoria organizada en 4 bancos entrelazados, con el que queremos hacer una copia de una cadena de 32 palabras de 16 bits que comienza en 000FFA71 sobre otra cadena que comienza en F00FEB00. Para hacerlo tenemos el siguiente pseudo-código máquina:

loop: LW R3 <- (R4); Cargamos la palabra (16 bits) apuntada por R4

SW R3 ->(R5); Guardamos la palabra en la dirección apuntada por R5.

R4 <- R4 + 2

R5 <- R5 + 2; incremento de las direcciones (R4,R5)

R1<- R1-1; control de bucle

Inicialmente:

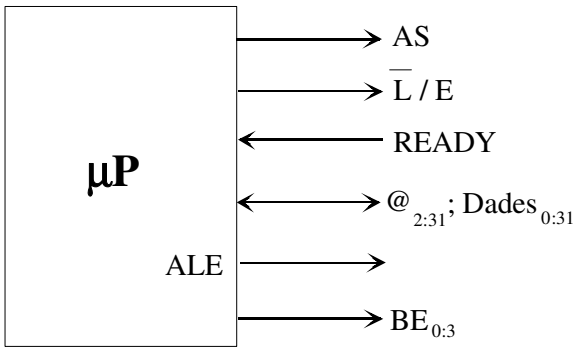
R1=32
R4=000FFA71
R5=F00FEB00

Suponiendo que las instrucciones están en una caché dentro del procesador y por tanto las referencias a instrucciones no generan accesos a la memoria principal. Se pide:

a) ¿Cuántos accesos se harán a memoria (desde el punto de vista del BUS)?
b) ¿Cuáles serán los 4 primeros accesos? Dar para cada uno de ellos la siguiente información:

$A_{32:2}$ (en Hexa) $BE_{3:0}$ L/E

7. Dado un procesador que trabaja a una frecuencia de 33 Mhz con buses multiplexados de datos y direcciones como muestra la figura:



En el cual los bits 2 a 31 sirven tanto para transferir datos como direcciones, y los bits 1 y 0 son sólo para datos. Debido a que el bus está multiplexados los accesos se han de realizar de la siguiente manera:

Si se trata de una escritura a memoria primero se pone la dirección de memoria en el bus. Después se ponen los datos en el bus hasta que se activa la señal de READY (L/E=0).

Si se trata de una lectura: primero se pone la dirección de memoria en el bus. Después no se pone nada en el bus. Será la memoria que ponga los datos en el bus (L/E=1).

Realizar la interconexión de este procesador con una RAM 256K x 32 bits con un tiempo de acceso de 20 ns (situada a partir de la dirección 0h), utilizando módulos básicos 256K x 4 bits.

Especificar:

- Esquema con los diferentes bloques y la interconexión entre ellos.
- Lógica de decodificación.
- Lógica de READY.