ESTRUCTURA DE COMPUTADORES II:

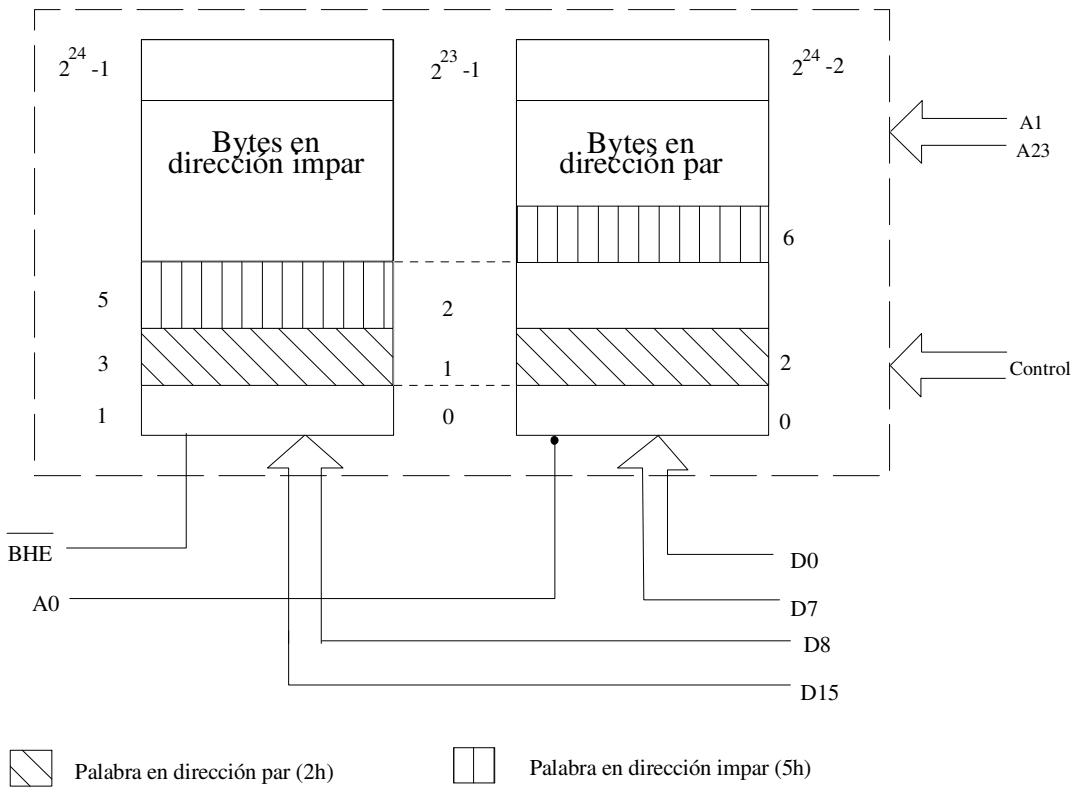
MÓDULO I:

1. EL PROCESADOR Y LA MEMORIA.
   1.1. COMUNICACIÓN PROCESADOR-MEMORIA.
   1.2. CONEXIÓN PROCESADOR-MEMORIA.
   1.3. CONSTRUCCIÓN DE LA MEMORIA.

DEPARTAMENTO: ARQUITECTURA DE COMPUTADORES

PROFESOR: EVA MARÍN TORDERA

EJEMPLO 6:



Comunicación entre un procesador de 16 bits y una memoria organizada en bancos.

Instrucción con acceso a	$\overline{BHE}$	A0	Líneas activas de CPU	Transferencia a registro	Ciclos bus
Byte de dirección par	1	0	D7-D0	Baja	1
Byte de dirección senar	0	1	D15-D8	Alta	1
Palabra de dirección par	0	0	D15-D0	Alta i baja	1
	Correspondencia directa entre registro y bus				
Byte senar	1) 0	1	D15-D8	Baja	
Palabra de dirección senar					
Byte par	2) 1	0	D7-D0	Alta	2
	Correspondencia cruzada entre registro y bus				

Fig. 1.1.

- Cronograma de acceso a memoria

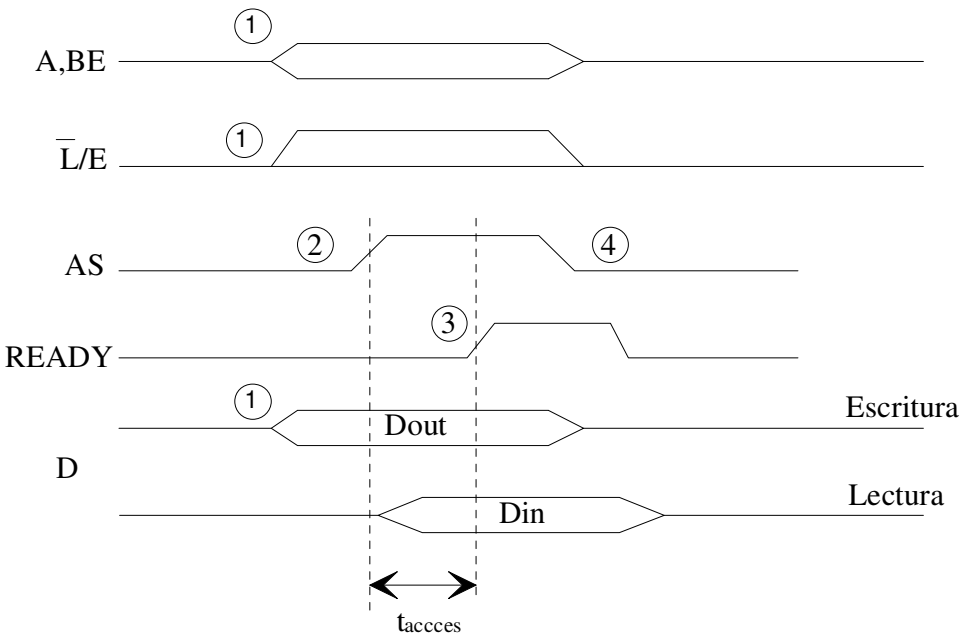


Figura 1.2

1. - Poner en el bus de direcciones la dirección A_{31---2}
   - Poner los bancos a los que acceder (o unidades) BE
   - Poner el tipo de acceso ($\overline{L}$ / E): Lectura o escritura

2. Activar AS a 1 para que realmente se inicie el acceso a memoria

3. - En el caso de lectura esperar a que la memoria indique (READY=1), el dato ya estará disponible en el bus D.
   - En caso de escritura (el dato o datos se han de poner en el bus D antes que AS: (1)). La memoria indicará ready (READY=1) cuando el dato ya se haya escrito en memoria.

4. Desactivar la señal de petición de acceso (AS=0)

EJEMPLO 9:

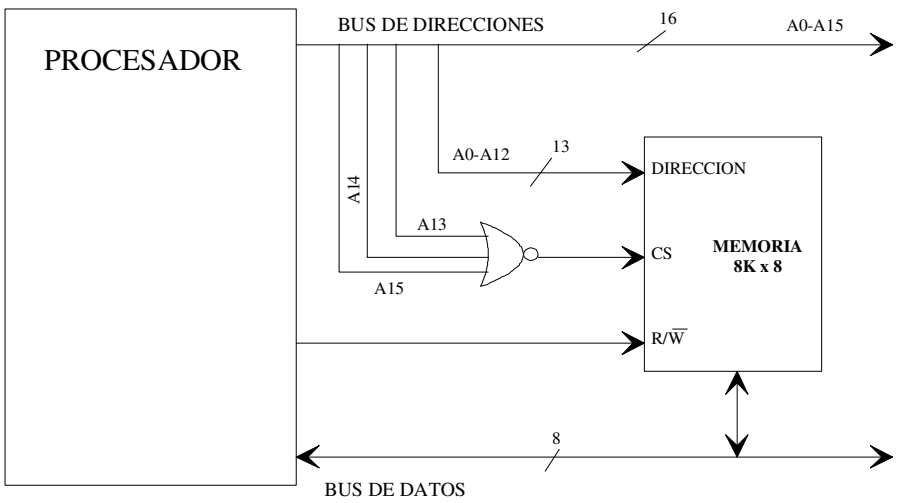


Figura 1.3.

EJEMPLO 10:

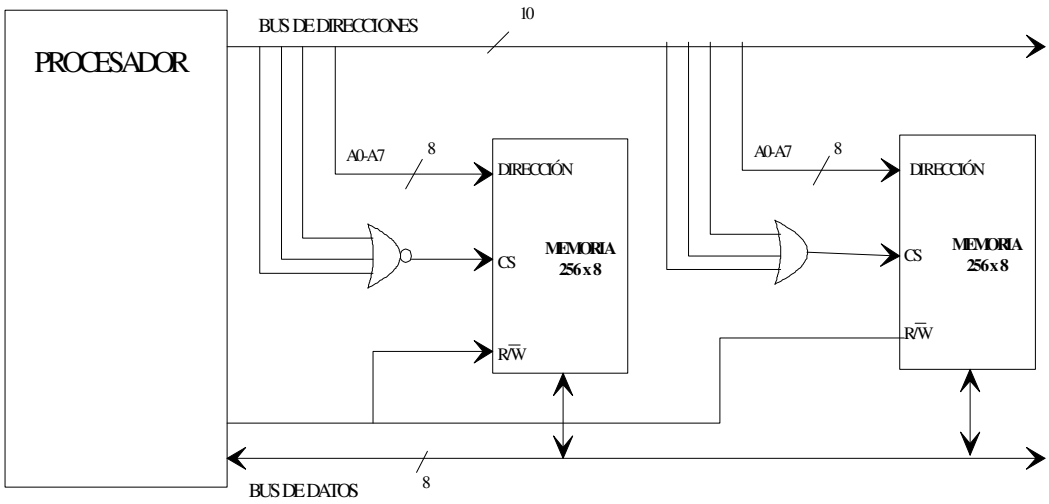


Figura 1.4.

CRONOGRAMA DE ACCESO al MÓDULO BÁSICO:

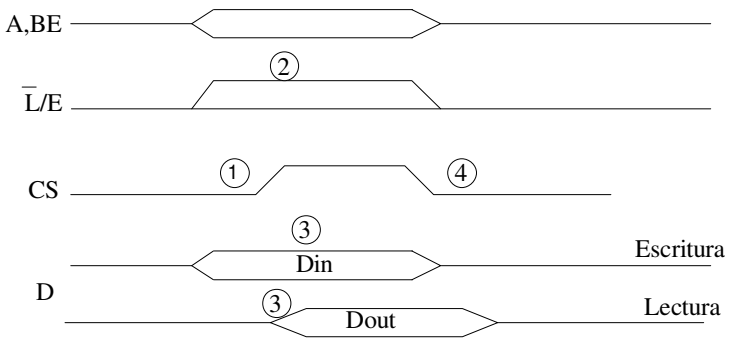


Figura 1.5.

EJEMPLO 11: Memoria 64×64: Organización $2^{1/2}$ D.

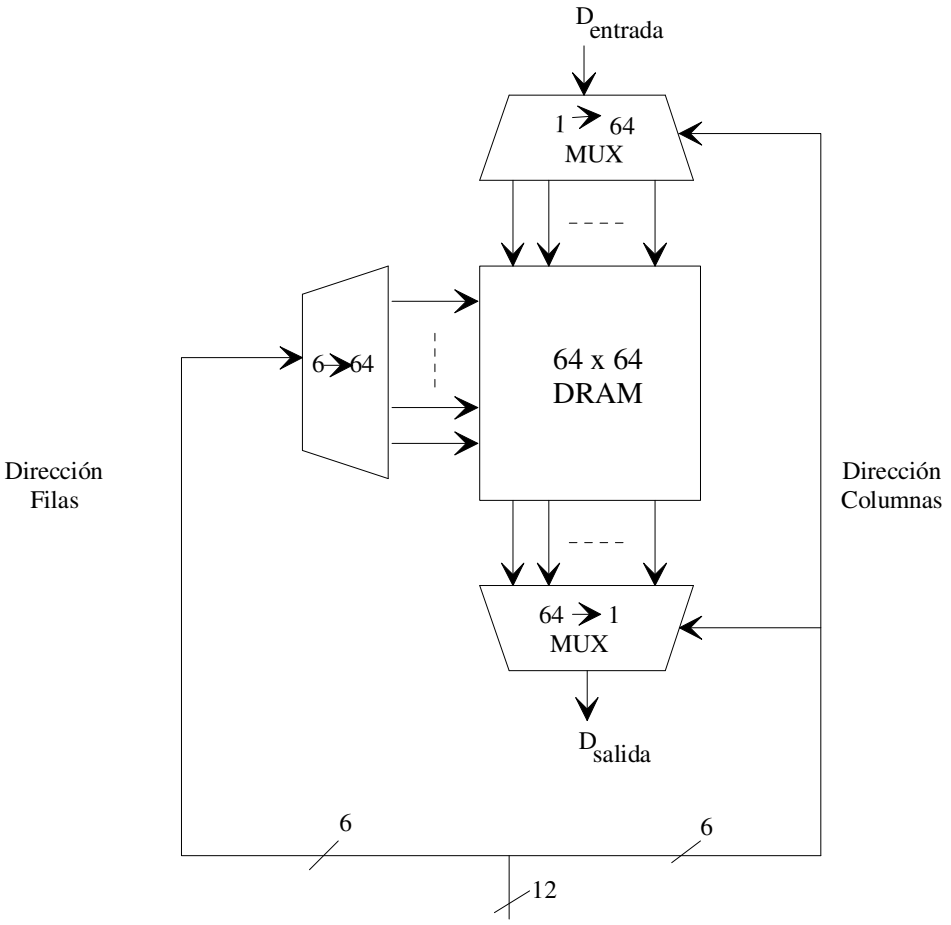
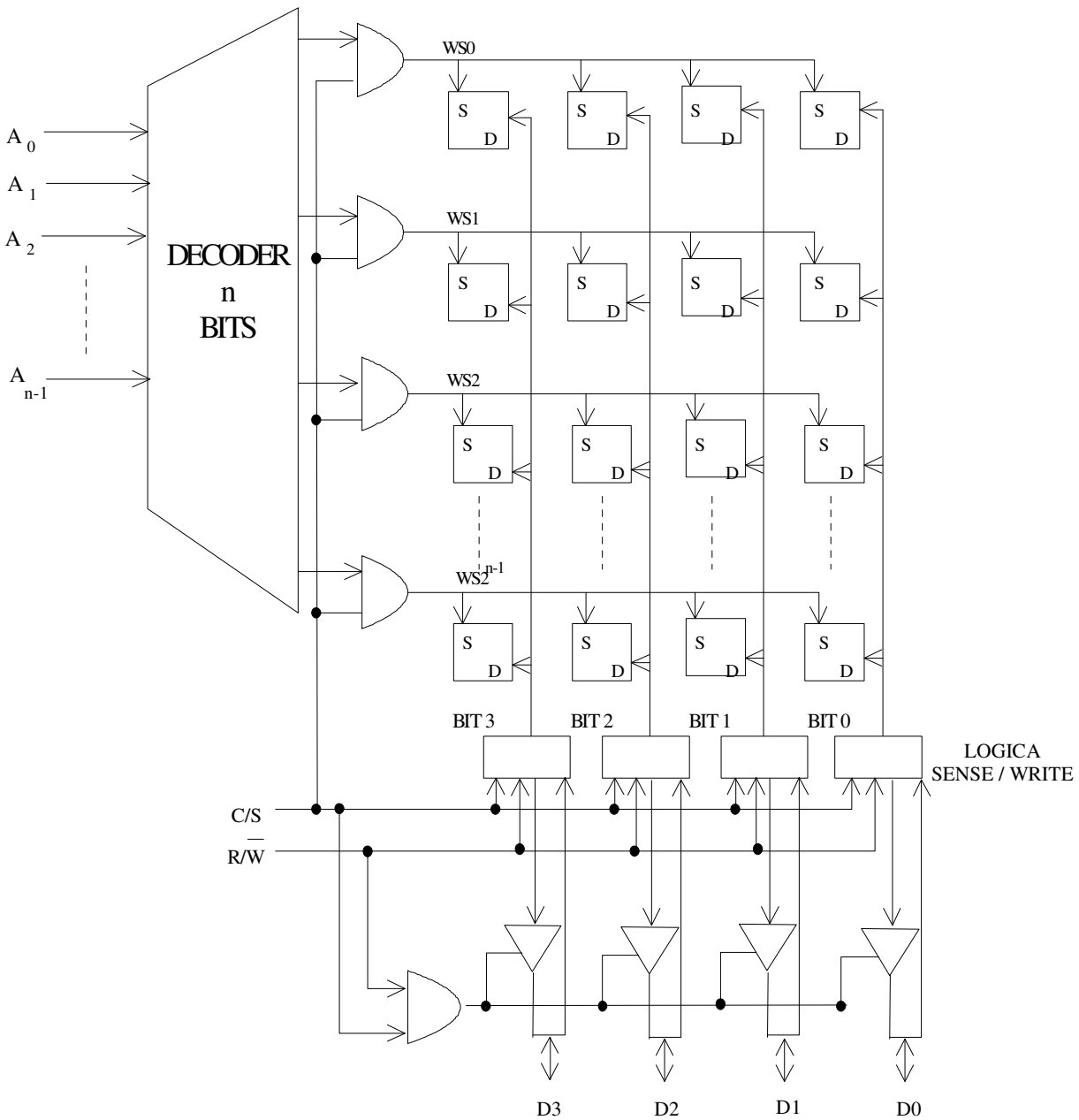


Figura 1.7.



Figuara 1.6. Organización 2D de la memoria [2^n x 4].

ORGANIZACIÓN 3D:

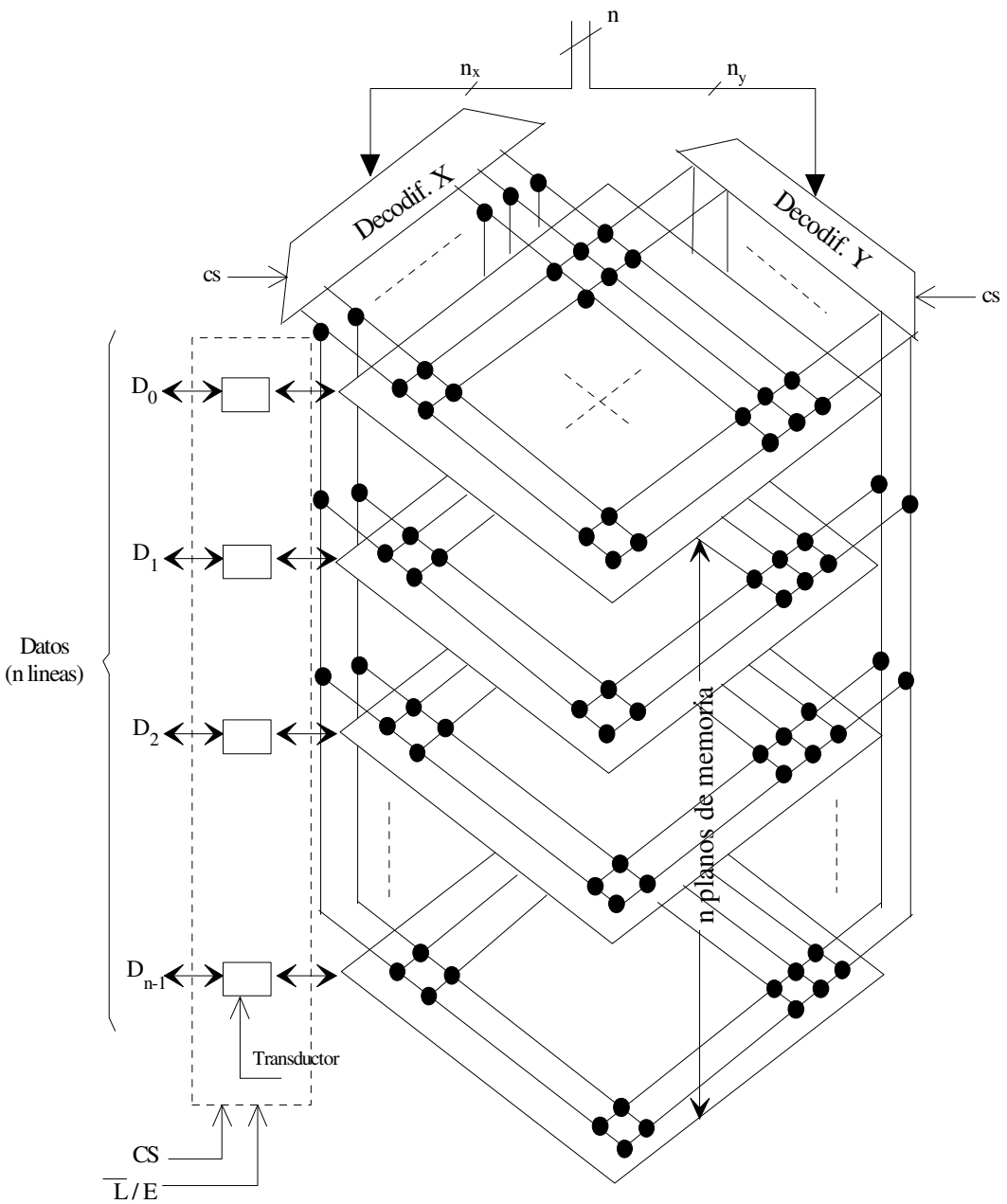
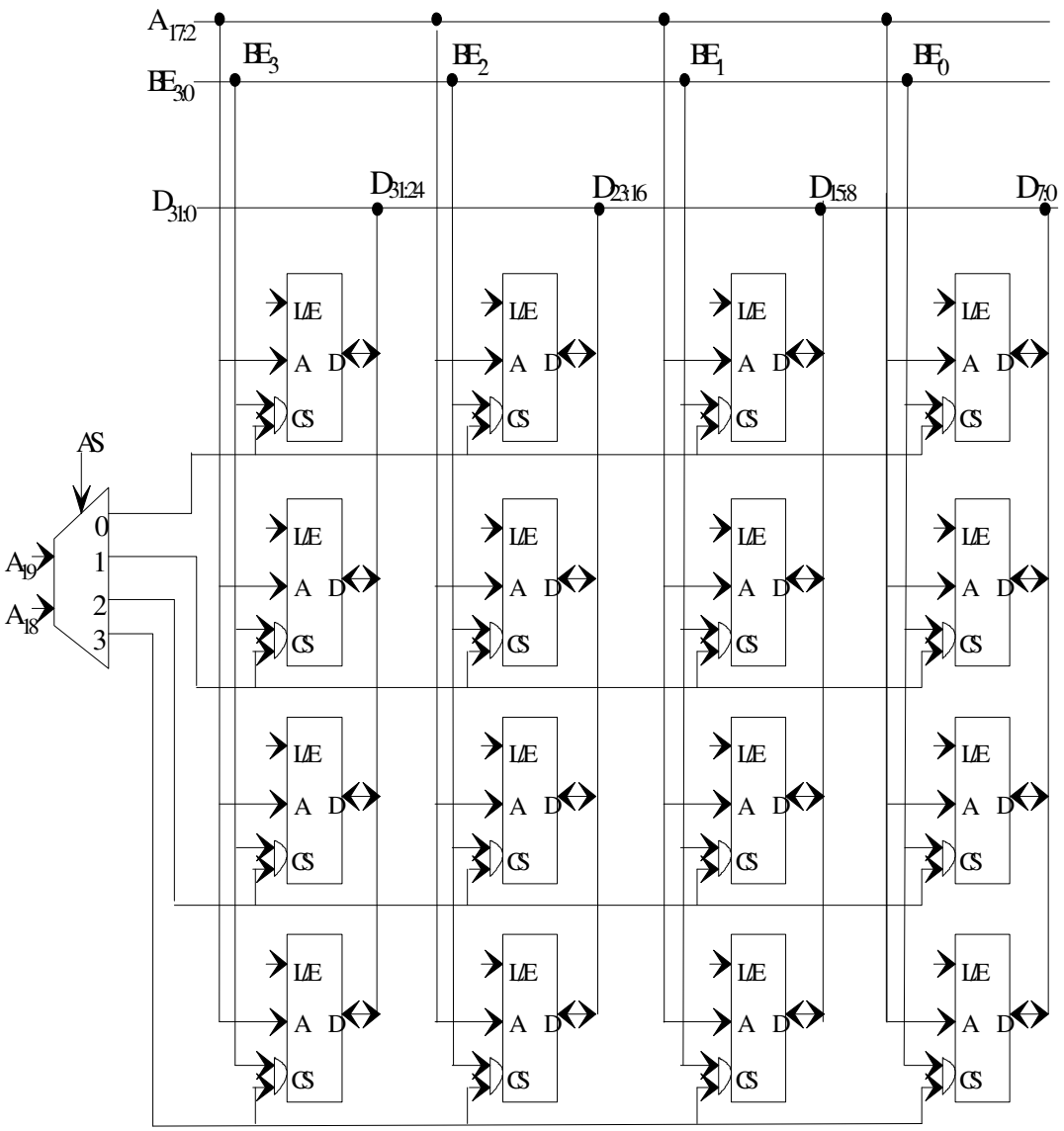


Figura 1.8.

EJEMPLO 12: ENCADENAMIENTO de MÓDULOS BÁSICOS RAM de 1024 Kbytes organizados en 256K palabras de 32 bits cada una (ORGANIZACIÓN ENTRELAZADA).