SOLUCIÓN A LOS PROBLEMAS DEL TEMA 1

EL PROCESADOR Y LA MEMORIA

PROBLEMA 1.

El módulo M1 funciona cuando se activa su CS, la cual se produce cuando A14=0 y A5=1. El módulo M2 funciona cuando A14=1 y A15=0.

El rango de direcciones de M1 será:

A_{15}	A_{14}	A_{13}	A_{12}	.....	A_0	Dirección HEX	
1	0	0	0	.....	0	8000H	16K
1	0	1	1	.....	1	BFFFH	

El rango de direcciones de M2 será:

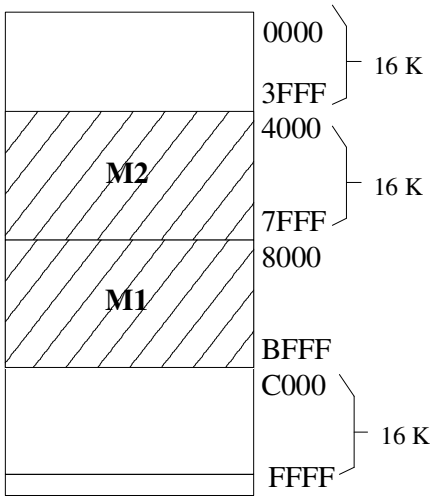
A_{15}	A_{14}	A_{13}	A_{12}	.....	A_0	Dirección HEX	
0	1	0	0	.....	0	4000H	16K
0	1	1	1	.....	1	7FFFH	

En el mapa de memoria quedaría:

Si el procesador tiene 16 bits puede direccionar 2^{16}=65536 bytes = 64 Kbytes.

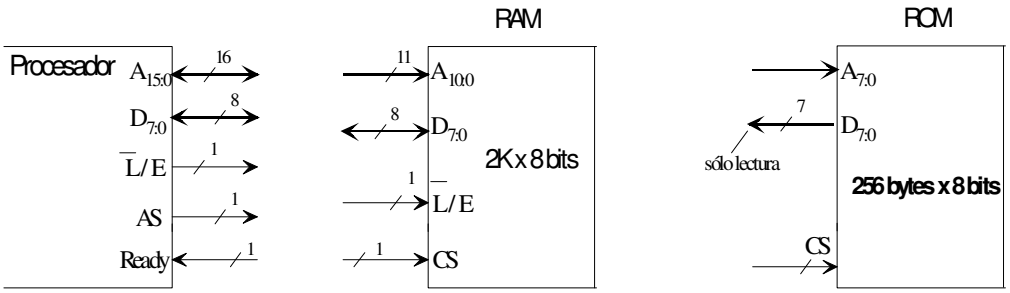
Desde: 0000H

Hasta: FFFFH

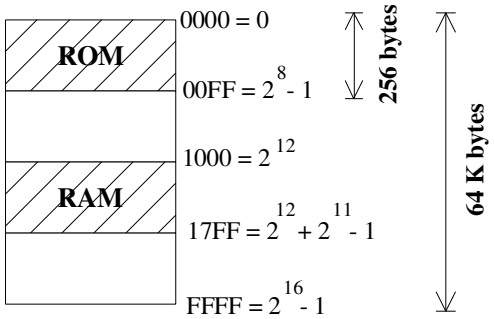


PROBLEMA 2.

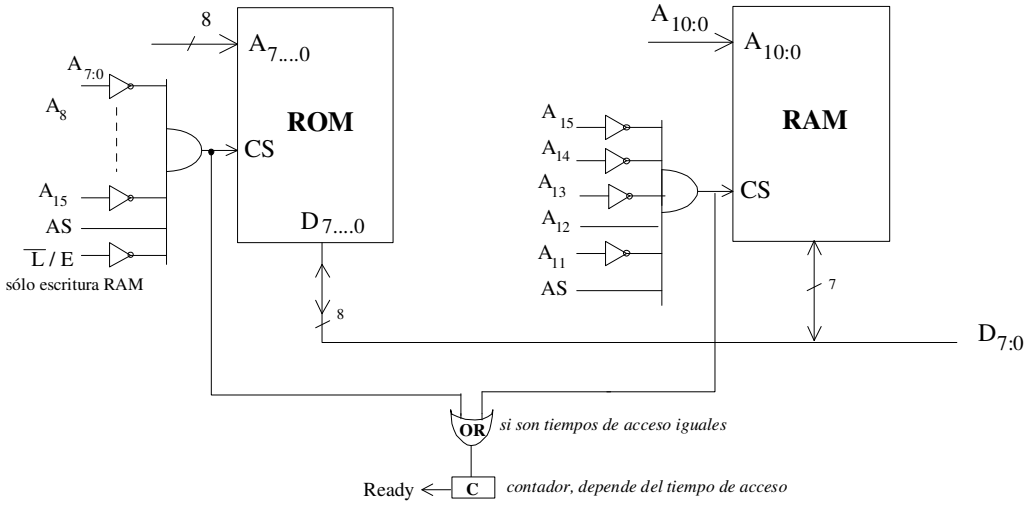
Memoria que pode direccionar 2^{16}=64K tenemos:



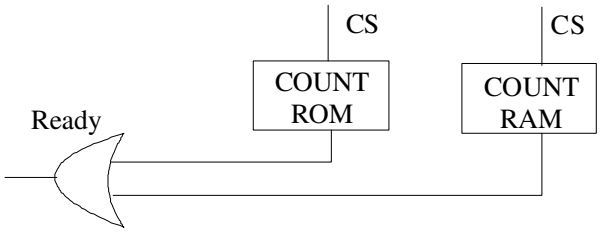
Mapa de memoria:

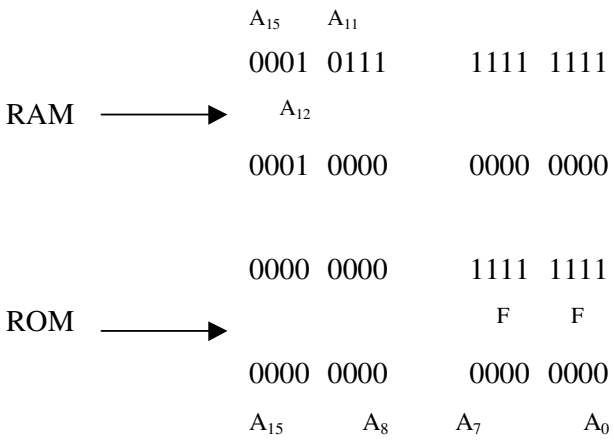


Conexión:



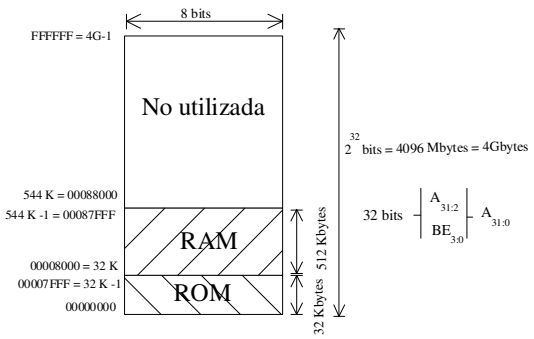
Si fuesen diferentes los tiempos de acceso:





PROBLEMA 3

Mapa de direcciones de memoria:



Implementación del mapa de direcciones de memoria

- ROM pastillas 16 K x 8 → 14 líneas de @ (2 pastillas)
- RAM pastillas 128 K x 8 → 17 líneas de @ (4 pastillas)

A)

Como mínimo 4: Múltiplos de 4: $BE_{3:0}$

32 Kbytes ROM → 4 pastillas 8 K x 8

➔ Patilla de mayor peso de la ROM se deja al aire

Se desaprovecha la mitad

- Decodificación incompleta sólo hemos de distinguir entre RAM y ROM

En caso contrario será RAM.

- Dentro de cada ROM seleccionamos la dirección con $A_{14:2}$ → 13 líneas 2^{13} = 8 K. La patilla de más peso A_{MSB} se deja a 0 para las ROM (ya que son de 16 Kb).

- Dentro de cada RAM necesitamos 17 líneas de direccionamiento

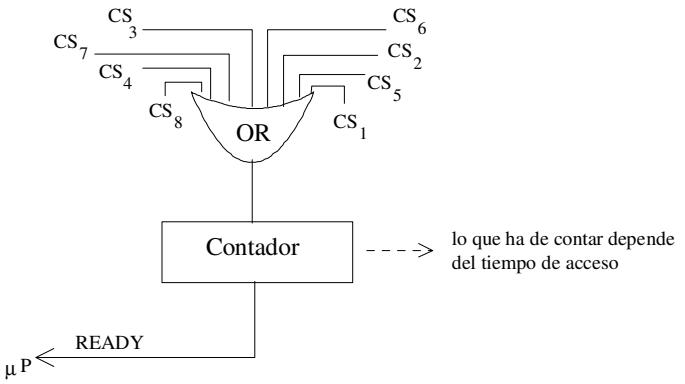
  2^{17} = 131072 = 128 Kbytes

  $A_{18:2}$

- Decodificación incompleta solo distinguir entre RAM y ROM

  ROM $A_{15} = A_{16} = ... = A_{31} = 0$

  RAM en caso contrario

- Señal de READY

  Si todas las patillas tienen igual tiempo de acceso