

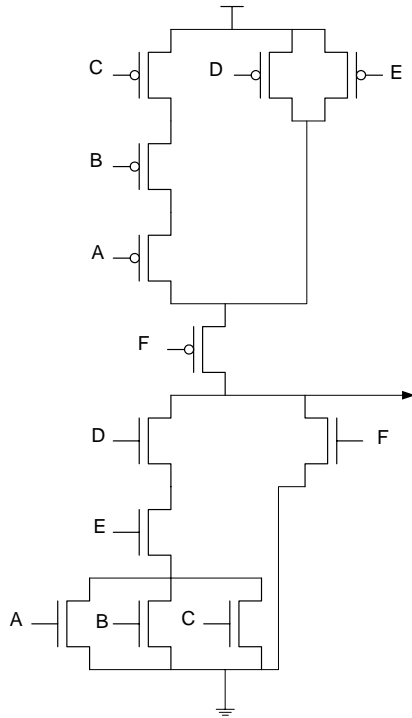
Solució Examen Parcial DM

19 d'abril de 2005

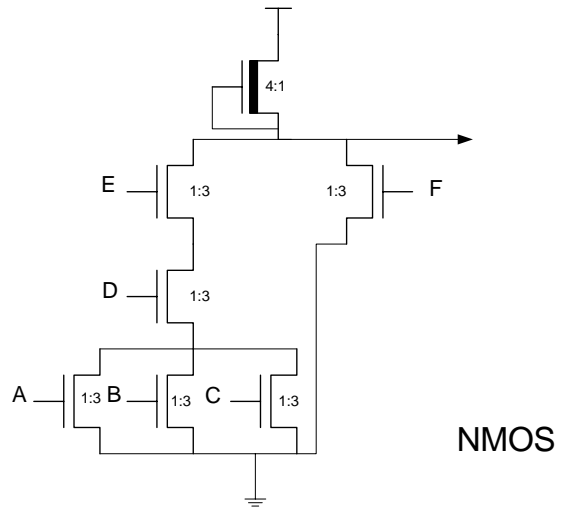
Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, nMOS i DCVSL. Dimensioneu els transistors de la manera que cregueu més correcta considerant que $1R_{sp} = 2R_s$.

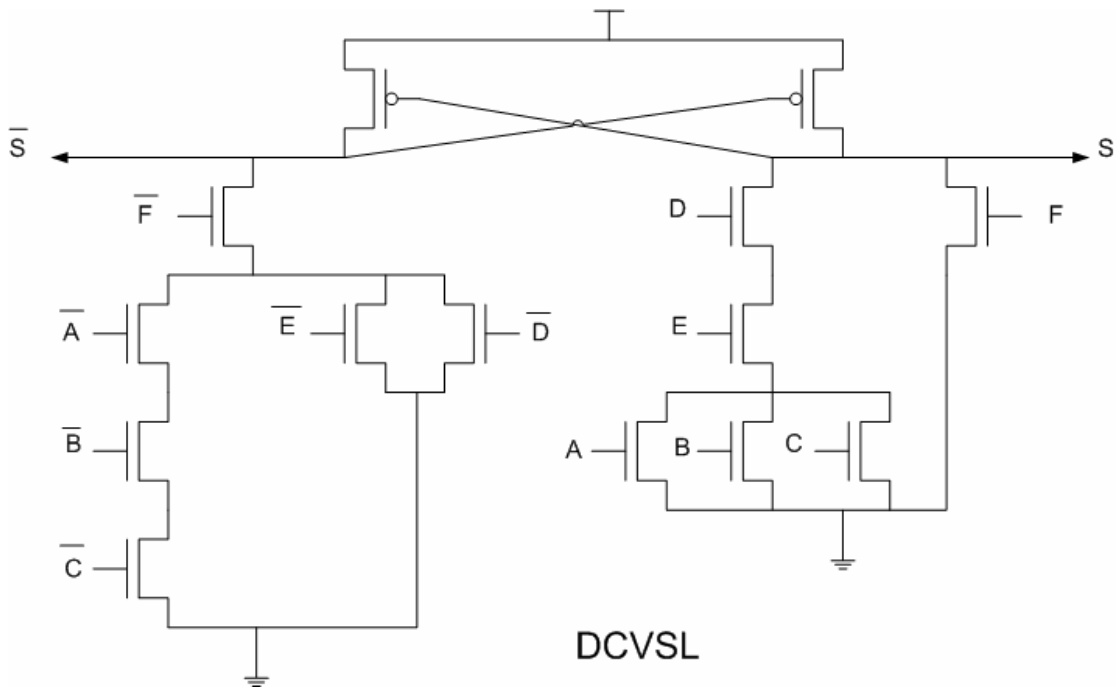
$$S = (A + B + C) \cdot (D \cdot E) + F$$



CMOS

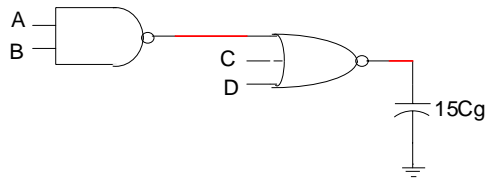


nMOS



DCVSL

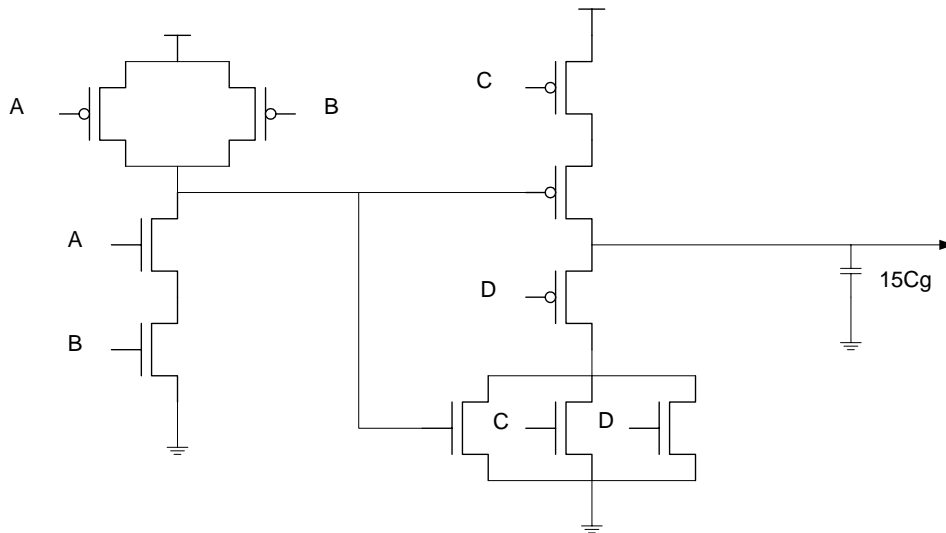
Problema 2 (3 punts)



Donat el circuit de la figura realitzat amb portes estàtiques CMOS. Els transistors p de la primera porta són de tamany 1:4 i els transistors n són d'1:1. Tots els transistors de la segona porta són de tamany 1:2. Es demana:

- Dibuixar l'esquemàtic a nivell de transistor del circuit.
- Calcular el retard màxim del parell de portes (considereu que $1R_{sp} = 2R_s$).
- Calculeu el consum dinàmic (en watts) de potència de les dues portes si les entrades commuten un 50% del temps, la freqüència de les entrades és de 3MHz, $1Cg = 0.9 \text{ fF}$ i $V_{dd} = 1,5 \text{ V}$.

a)



b) Retard màxim pel camí ($A=1, B=1, C=0, D=0$)

$$T = 2R_s \times 4C_g + \frac{3}{2} R_{sp} \times 15C_g = 8\tau + 45\tau = 53\tau$$

$$c) P = \alpha C V^2 f = 0.5 \times (4 + 15) C_g \times 1.5^2 \times 3 \times 10^6 = 57.7 \text{ nW}$$

Problema 3 (2 punts)

Tenim un circuit que ha de carregar una capacitat externa de 430fF. Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la? ($C_g=0.9fF$).

$$\underline{F=2} \quad N = \log_2 \frac{430}{3 \times 0'9} = 7'31$$

$$\underline{F=3} \quad N = \log_{3^2} \frac{430}{3 \times 0'9} = 4'62$$

Configuració		Retard (τ)
F=2	N=7	43'5
	N=8	45'7
F=3	N=4	44'7
	N=5	41'9

$$T_{f,n} = (n-1) \times 3f + \frac{1}{f^{n-1}} \times R_s \times C_L$$

$$C_L = 430fF = \frac{430}{0'9} C_g \cong 478C_g$$

$$T_{2,7} = 6 \times 3 \times 2 + \frac{1}{2^6} \times R_s \times 478C_g = 43'5\tau$$

$$T_{2,8} = 7 \times 3 \times 2 + \frac{1}{2^7} \times R_s \times 478C_g = 45'7\tau$$

$$T_{3,4} = 3 \times 3 \times 3 + \frac{1}{3^3} \times R_s \times 478C_g = 44'7\tau$$

$$T_{3,5} = 4 \times 3 \times 3 + \frac{1}{3^4} \times R_s \times 478C_g = 41'9\tau$$

Caldrà afegir un buffer, en aquest cas el millor és un buffer de 5 etapes amb un factor de 3.

Problema 4 (3 punts)

Dissenyar el layout en CMOS estàtic d'un circuit que realitzi la funció:

$$S = \overline{(A+B) \cdot C} + D$$

