

Examen Parcial de "Disseny de Microprocessadors"

2 de novembre de 2005

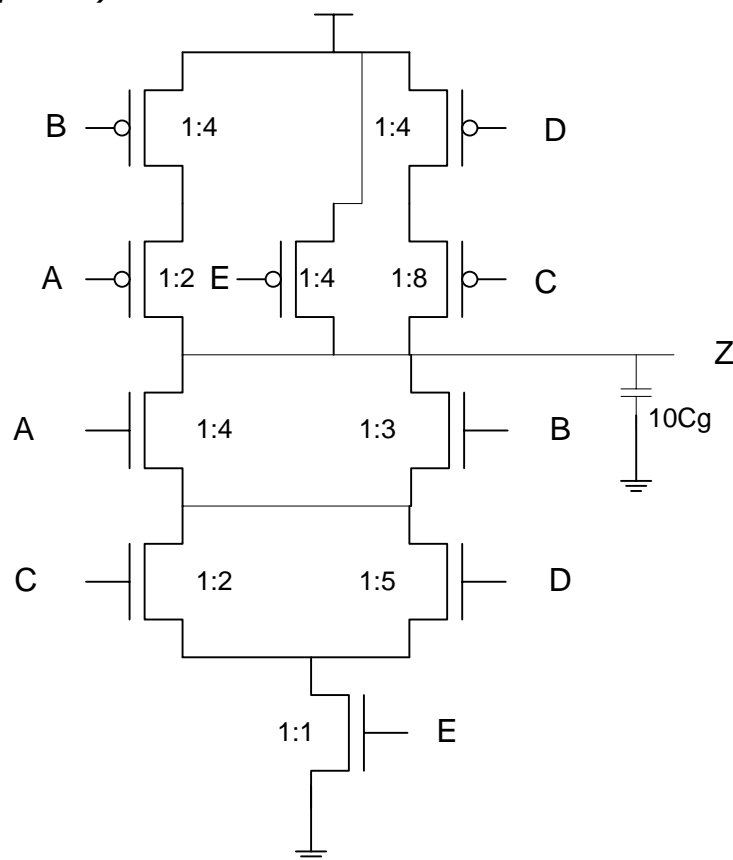
- L'examen dura 2h.
- Es poden portar els apunts.
- Es pot fer servir calculadora

Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, i nMOS. Dimensioneu els transistors de la manera que cregueu més correcta (pel cas d'nMOS) considerant que $1R_{sp} = 2R_s$.

$$S = (AB + C) \cdot (D + E)$$

Problema 2 (3 punts)



Donat el circuit de la figura. Es demana:

- Quina funció calcula? (Expressió Booleana)
- Calcular el retard pels següents casos (considereu que $1R_{sp} = 2R_s$):
 - $A=0, B=0, C=1, D=1, E=0$
 - $A=1, B=0, C=1, D=1, E=1$
 - $A=0, B=1, C=1, D=0, E=1$
- Calculeu el consum dinàmic (en watts) de potència si les entrades commuten un 80% del temps, la freqüència de les entrades és de 3GHz, $1C_g = 0.9$ fF i $V_{dd} = 1,2$ V.

Problema 3 (3 punts)

Tenim un circuit que ha de carregar una capacitat externa de 130fF.

- Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la (T_{pf})? ($1C_g=0.9fF$).
- Quina solució proposaríeu si es vol reduir el valor de la següent funció: (mireu només per $f=3$)

$$F(T, A, P) = 0'5 \times T + 0'2 \times A + 0'3 \times P$$

- On T és el temps –retard- (en τ) total de la solució.
- On A és l'àrea total de la solució (en λ) – considereu que $N=6\lambda$ i l'àrea d'un transistor és la del seu font, el drenador (que considerem iguals) i la porta sumades. ($A_{transistor} = 2 \times W \times N + L \times W$)
- On P és el consum total de la solució mesurat com la capacitat interna del circuit (en Cg) –o sigui, sense considerar la capacitat a l'entrada i a la sortida del circuit.

Problema 4 (2 punts)

Dissenyar el layout en pseudo n-MOS per una cel·la estàndard d'un circuit que realitzi la funció:

$$S = \overline{(AB + CD)}E$$