

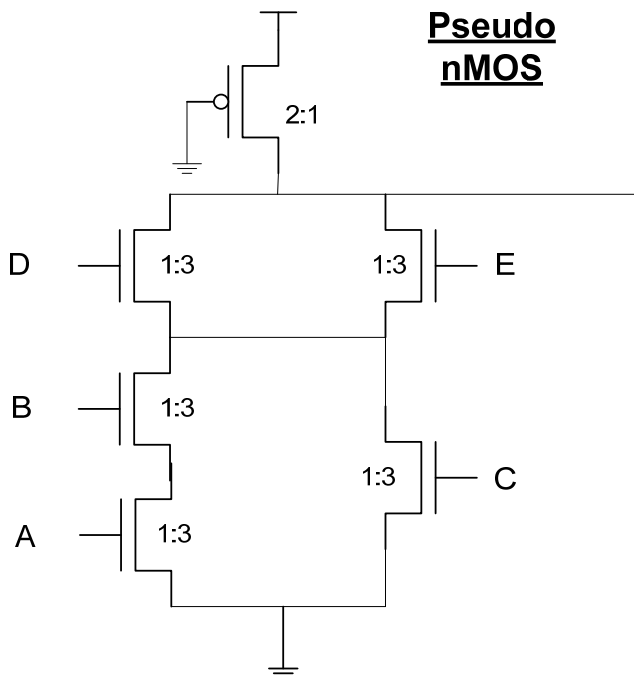
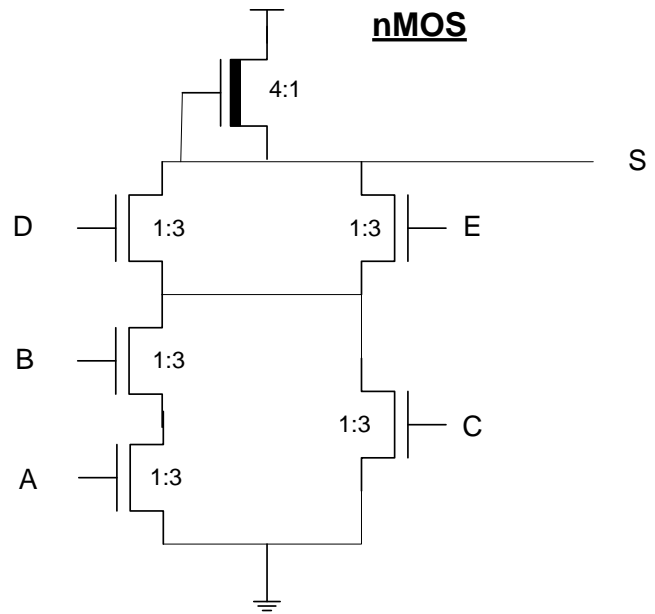
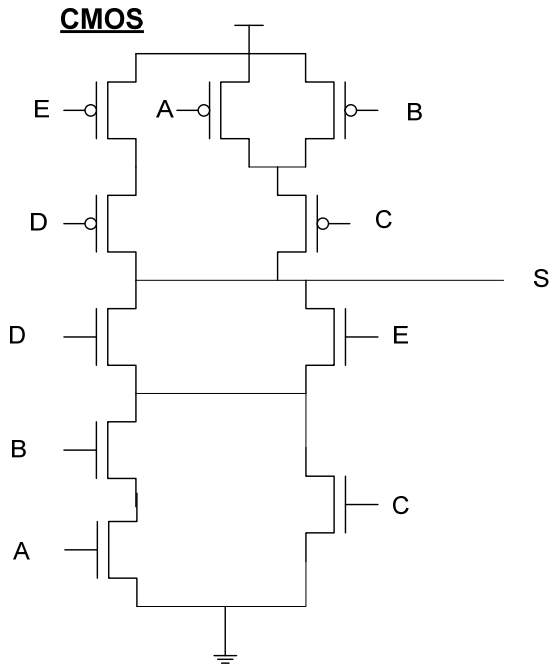
# Solució Examen Parcial DM

2 de novembre de 2005

## Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, nMOS, pseudo-nMOS. Dimensioneu els transistors de la manera que cregueu més correcta (pel cas d'nMOS i pseudo-nMOS) considerant que  $1R_{sp} = 2 R_s$ .

$$S = \overline{(AB + C)} \cdot (D + E)$$



## Problema 2 (3 punts)

Donat el circuit de la figura realitzat. Es demana:

- Quina funció calcula? (Expressió Booleana)
- Calcular el retard màxim del parell de portes pels següents casos (considereu que  $1R_{sp} = 2R_s$ ):
  - $A=0, B=0, C=1, D=1, E=0$
  - $A=1, B=0, C=1, D=1, E=1$
  - $A=0, B=1, C=1, D=0, E=1$
- Calculeu el consum dinàmic (en watts) de potència si les entrades commuten un 80% del temps, la freqüència de les entrades és de 3GHz,  $1Cg = 0.9$  fF i  $V_{dd} = 1,2$  V.

a)  $S = \overline{(A + B)} \cdot \overline{(C + D)} \cdot E$

b) Calcular el retard:

i. Retard pel camí ( $A=0, B=0, C=1, D=1, E=0$ )

$$T = \frac{1}{\left( \frac{1}{\left( \frac{1}{4} + \frac{1}{2} \right)} + \frac{1}{\left( \frac{1}{4} \right)} \right)} R_{sp} \times 10Cg = \frac{3}{16} R_{sp} \times 10Cg = \frac{3}{8} R_s \times 10Cg = 3,75\tau$$

ii. Retard pel camí ( $A=1, B=0, C=1, D=1, E=1$ )

$$T = \left( \frac{1}{4} R_s + \frac{1}{\left( \frac{1}{\left( \frac{1}{2} \right)} + \frac{1}{\left( \frac{1}{5} \right)} \right)} R_s + 1R_s \right) \times 10Cg = \left( \frac{1}{4} R_s + \frac{1}{7} R_s + 1R_s \right) \times 10Cg = \frac{39}{28} R_s \times 10Cg = 13,92\tau$$

ii. Retard pel camí ( $A=0, B=1, C=1, D=0, E=1$ )

$$T = \left( \frac{1}{3} R_s + \frac{1}{2} R_s + 1R_s \right) \times 10Cg = \frac{11}{6} R_s \times 10Cg = 18,3\tau$$

c)  $P = \alpha CV^2 f = 0,8 \times 10Cg \times 1,2^2 \times 3 \times 10^9 = 0,8 \times 10 \times 0,9 \times 10^{-15} \times 1,2^2 \times 3 \times 10^9 = 311 \mu W$

### Problema 3 (3 punts)

Tenim un circuit que ha de carregar una capacitat externa de 430fF. Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la? ( $1Cg=0.9fF$ ).

$$\underline{F=2} \quad N = \log_2 \frac{130}{3 \times 0'9} = 5'58$$

$$\underline{F=3} \quad N = \log_3 \frac{130}{3 \times 0'9} = 3'52$$

Configuració		Retard ( $\tau$ )
F=2	N=5	33'02
	N=6	34'51
F=3	N=3	34'04
	N=4	32'35

$$T_{f,n} = (n-1) \times 3f + \frac{1}{f^{n-1}} \times R_s \times C_L$$

$$C_L = 130fF = \frac{130}{0'9} Cg \cong 144'44Cg$$

$$T_{2,5} = 4 \times 3 \times 2 + \frac{1}{2^4} \times R_s \times 144'44Cg = 33'02\tau$$

$$T_{2,6} = 5 \times 3 \times 2 + \frac{1}{2^5} \times R_s \times 144'44Cg = 34'51\tau$$

$$T_{3,3} = 2 \times 3 \times 3 + \frac{1}{3^2} \times R_s \times 144'44Cg = 34'04\tau$$

$$T_{3,4} = 3 \times 3 \times 3 + \frac{1}{3^3} \times R_s \times 144'44Cg = 32'35\tau$$

Caldrà afegir un buffer, en aquest cas el millor és un buffer de 4 etapes amb un factor de 3.

b) Quina solució proposaríeu si es vol reduir el valor de la següent funció: (mireu només per  $f=3$ )

$$F(T, A, P) = 0'5 \times T + 0'2 \times A + 0'3 \times P$$

f=2						
etapa	1	2	3	4	5	6
pu L	2	2	2	2	2	2
pu W	4	8	16	32	64	128
pd L	2	2	2	2	2	2
pd W	2	4	8	16	32	64
N=6 lambda	6					
Area	84	168	336	672	1344	2688
Acc Area	84	252	588	1260	2604	5292
C (Cg)	3	6	12	24	48	96
Acc C	3	9	21	45	93	189

f=3				
etapa	1	2	3	4
pu L	2	2	2	2
pu W	4	12	36	108
pd L	2	2	2	2
pd W	2	6	18	54
N=6 lambda	6			
Area	84	252	756	2268
Acc Area	84	336	1092	3360
C (Cg)	3	9	27	81
Acc C	3	12	39	120

Buffer (f,N)	T	A	P	F
2,5	33,02	2604	93	565,21
2,6	34,51	5292	189	1132,36
3,3	34,04	1092	39	247,12
3,4	32,35	2604	93	564,88

En aquest cas el millor és un buffer de 3 etapes amb un factor de 3.

### Problema 4 (2 punts)

Dissenyar el layout en pseudo n-MOS per una cel·la estàndard d'un circuit que realitzi la funció:

$$S = \overline{(AB + CD)}E$$

