

Solució Examen Parcial "Disseny de Microprocessadors"

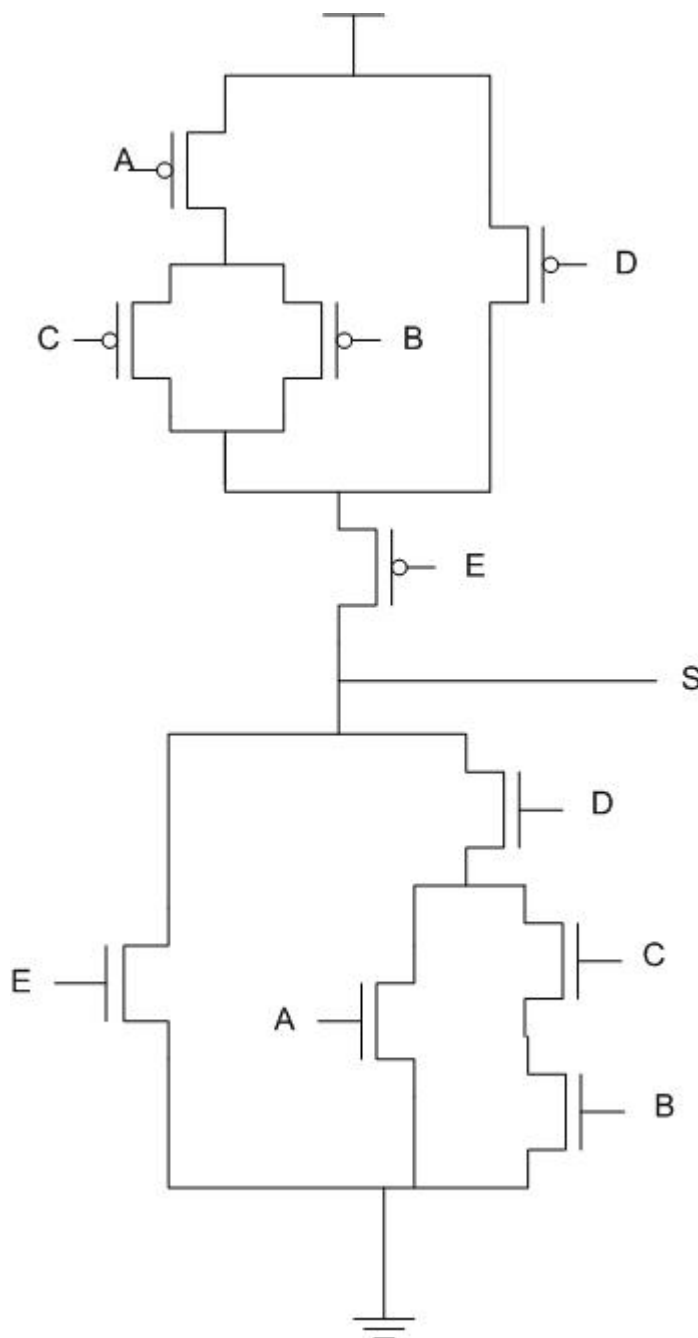
14 de Maig de 2007

Problema 1 (2 punts)

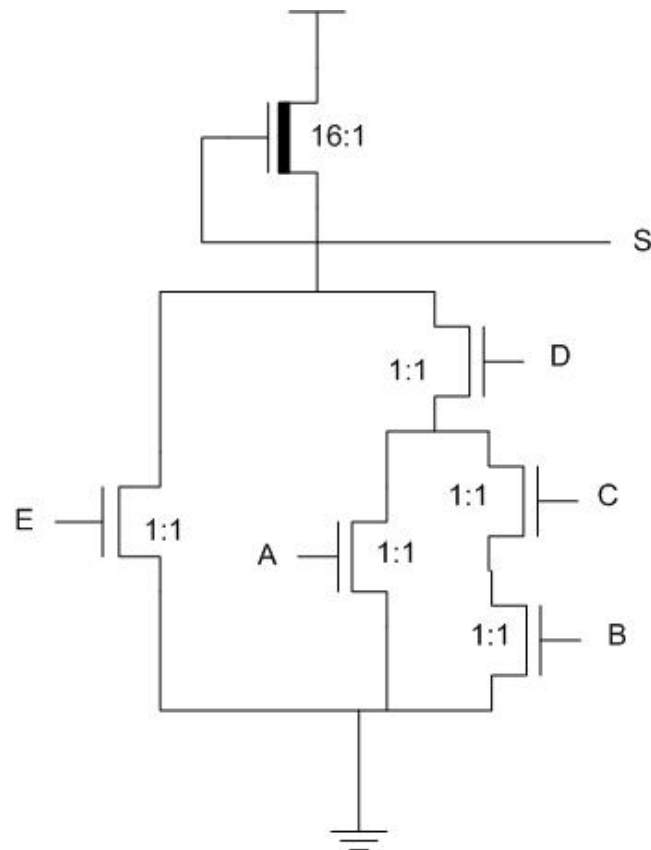
Dissenyar la següent funció en CMOS, nMOS i pseudo-nmos. Dimensioneu els transistors de la manera que cregueu més correcta (pel cas d'nMOS i pseudo-nMos) considerant que $1R_{sp} = 2R_s$.

$$S = \overline{(A + BC)D + E}$$

a) CMOS

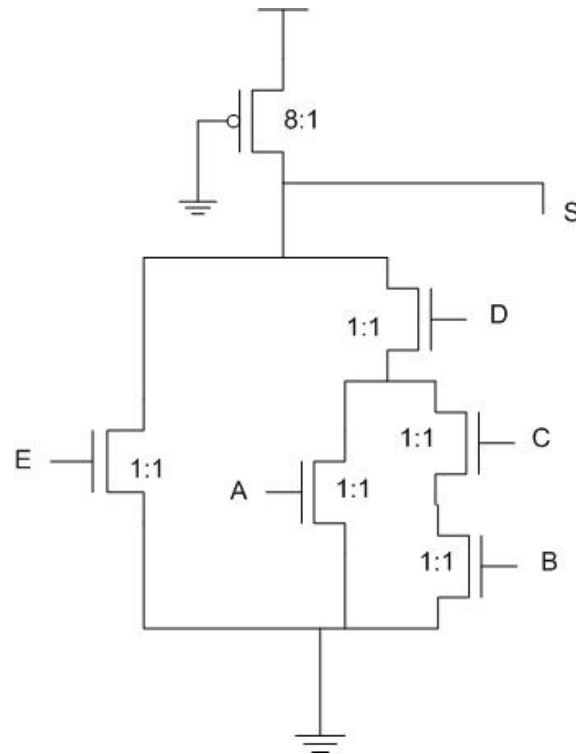


b) nMOS

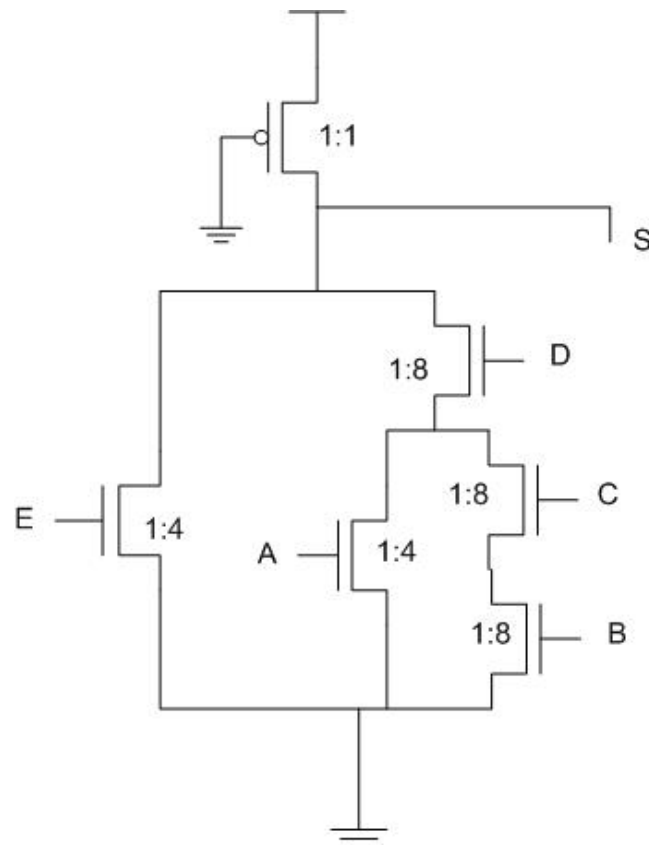


Dimensionat: Suposant que els transistors nMos són de mida mínima, dimensionem el pull-up perquè compleixi que $R_{pu} > 4R_{pd}$. Com la màxima resistència del pull-down són tres transistors en sèrie, tenim una resistència en el pull-down de $3 R_s$. Llavors $R_{pu} \geq 4 \cdot R_{pd} = 12 R_s$. Com treballem amb potències de dos, tenim un pull-up de 16:1.

c) *pseudo-nMOS*



En el disseny de dalt hem transformat el disseny nMOS en pseudo-nMOS i hem dimensionat el transistor pMos conscients que té més resistència que el nMos ($1R_{sp}=2R_s$). En el disseny de baix s'ha intentat augmentar la velocitat del circuit reduint la resistència dels transistors del pull-down. Això perjudica clarament l'àrea, ja que els transistors s'han fet més amples.



Problema 2 (3 punts)

Donat el circuit de la figura. Es demana:

a) Quina funció calcula? (Expressió Booleana)

$$S = \overline{(A + B) \cdot (CE + D)}$$

b) Calcular el retard pels següents casos (considereu que $1R_{sp} = 2R_s$):

i. $A=0, B=0, C=0, D=0, E=0$

En aquest cas funcionen tots els transistors del pull-up ($S=1$), per tant:

$$R = \frac{1}{\frac{1}{R_a + R_b} + \frac{1}{\frac{1}{\frac{1}{R_E} + \frac{1}{R_c}} + R_d}} = \frac{1}{\frac{1}{\frac{1}{2} + \frac{1}{2}} + \frac{1}{\frac{1}{\frac{1}{16} + \frac{1}{4}} + \frac{1}{\frac{1}{8} + \frac{1}{8}}}} = \frac{1}{\frac{1}{1} + \frac{1}{\frac{1}{16} + \frac{1}{4}}} = \frac{1}{1 + \frac{16}{5}} = \frac{5}{21} R_{sp}$$

$$R = \frac{5}{21} R_{sp} = \frac{10}{21} R_s \quad T = RC = \frac{10}{21} R_s * 20 C_g = \frac{200}{21} t = 9,52t$$

ii. $A=1, B=0, C=1, D=1, E=1$

En aquest cas funciona el pull-down ($S=0$), concretament tots els transistors menys el que té entrada B. Per tant:

$$R = R_a + \frac{1}{\frac{1}{R_d} + \frac{1}{R_E + R_c}} = \frac{1}{4} + \frac{1}{\frac{1}{\frac{1}{4} + \frac{1}{\frac{1}{3} + \frac{1}{3}}}} = \frac{1}{4} + \frac{1}{4 + \frac{3}{2}} = \frac{1}{4} + \frac{2}{11} = \frac{11 + 8}{44} = \frac{19}{44} R_s$$

$$T = RC = \frac{19}{44} R_s * 20 C_g = \frac{380}{44} t = 8,63t$$

iii. $A=0, B=1, C=0, D=1, E=0$

Ara funcionen només dos transistors del pull-down ($S=0$) en sèrie:

$$R = R_b + R_d = \frac{1}{4} + \frac{1}{3} = \frac{4+3}{12} = \frac{7}{12} R_s$$

$$T = RC = \frac{7}{12} R_s * 20 C_g = \frac{140}{12} t = 11,67t$$

c) Calculeu el consum dinàmic (en watts) de potència si les entrades commuten un 60% del temps, la freqüència de les entrades és de 3GHz, $1C_g = 0.9 fF$ i $V_{dd} = 1,2$

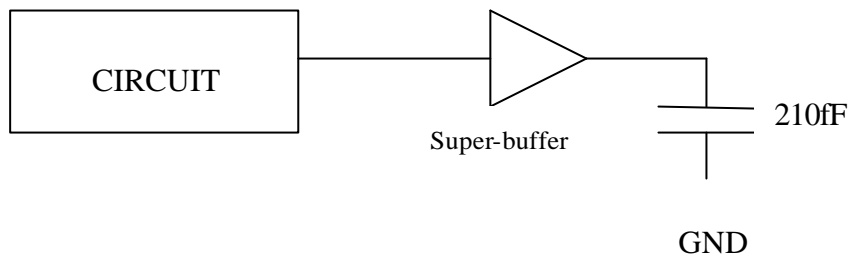
$$P = \alpha C V^2 f = 0,6 * 20 C_g * \frac{0,9 fF}{1 C_g} * 1,2^2 * 3 GHz = 46,656 mW$$

Problema 3 (3 punts)

Tenim un circuit que ha de carregar una capacitat externa de 210fF.

a. Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la (T_{pf})? ($1C_g=0.9fF$).

La solució que triaria seria col·locar un Super-Buffer entre el circuit i la capacitat, ja que així es reduiria el temps de càrrega. El problema del Super-Buffer és que, quantes més etapes tingui, menys temps de càrrega tindrem però tardarem més temps en traspasar el circuit. Per tant, ens interessaria minimitzar els dos temps ($T+T_p$).



Aplicant la fórmula següent podem deduir quin és el número d'etapes òptim.

$$C_L = 210fF * \frac{1C_g}{0,9fF} = 233C_g \qquad y = \frac{C_L}{C_i} = f^N = \frac{233C_g}{3C_g} = 77,66C_g$$

$$2^n = 77,66 \rightarrow N = 6, N = 7 \qquad T_N = (N-1)3ft + \frac{1}{f^N} R_s C_L$$

$$T_6 = (N-1)3ft + \frac{1}{f^N} R_s C_L = 5 * 3 * 2t + \frac{1}{2^5} R_s * 233C_g = 30t + 7,28 = 37,28t$$

$$T_7 = (N-1)3ft + \frac{1}{f^N} R_s C_L = 6 * 3 * 2t + \frac{1}{2^6} R_s * 233C_g = 36t + 3,64 = 39,64t$$

$$3^n = 77,66 \rightarrow N = 3, N = 4$$

$$T_3 = (N-1)3ft + \frac{1}{f^N} R_s C_L = 2 * 3 * 3t + \frac{1}{3^2} R_s * 233C_g = 18t + 25,88 = 43,88t$$

$$T_4 = (N-1)3ft + \frac{1}{f^N} R_s C_L = 3 * 3 * 3t + \frac{1}{3^3} R_s * 233C_g = 27t + 8,63 = 35,63t$$

Amb els resultats obtinguts, l'opció que ens ofereix un menor temps total és, per $f=2$, un Super-Buffer de 6 etapes, mentre que per $f=3$, un de 4 etapes.

b. Quina solució proposaríeu si es vol reduir el valor de la següent funció: (mireu només per $f=3$)

$$F(T, A) = 0,5 * T + 0,5 * \frac{A}{100}$$

- On T és el temps –retard- total de la solució.
- On A és l'àrea total de la solució, considereu que $N=6\lambda$ i l'àrea d'un transistor és la del seu font, el drenador (que considerem iguals) i la porta sumades.

En l'apartat anterior ja hem vist que els Super-Buffers que ens van millor són els que tenen un temps de retard i temps de càrrega mínims. Per $f=3$, això succeïa quan $N=3$ o $N=4$, sent N el número d'etapes. Tot i això, en la funció que ens proposen, no només hem de tenir en compte el retard, sinó que hem de tenir en compte també l'àrea.

És evident que Super-Buffers amb més etapes no seran adequats, ja que tenen més transistors (per tant més àrea), i tenen un retard més gran. Super-buffers més petits tampoc són adequats, perquè la funció penalitza molt més el temps que no pas l'àrea; i Super-Buffers petits tenen un T_p molt gran, i, encara que tenen menys àrea, la funció els penalitza. Per tant anem a comprovar quin és el Super-Buffer més adequat segons els resultats obtinguts anteriorment:

Per Super-Buffer $N=3$:

$$A_{transistor} = 2 * W * N + L * W$$

Caldrà sumar l'àrea dels sis transistors (1:1,1:2,1:3,1:6,1:9,1:18).

$$\begin{aligned} A_{total} &= (2 * 2l * 6l + 2l * 2l) + (2 * 4l * 6l + 2l * 4l) + (2 * 6l * 6l + 2l * 6l) + \\ &+ (2 * 12l * 6l + 2l * 12l) + (2 * 18l * 6l + 2l * 18l) + (2 * 36l * 6l + 2l * 36l) \\ &= 24 + 4 + 48 + 8 + 72 + 12 + 144 + 24 + 216 + 36 + 432 + 72 \\ &= 1092l \end{aligned}$$

$$F(T, A) = 0,5 * T + 0,5 * \frac{A}{100} = 0,5 * 43,88 + 0,5 * \frac{1092l}{100} = 27,4$$

Pel Super-Buffer $N=4$ utilitzarem la mateixa àrea que el $N=3$ i li sumarem (1:27,1:54)

$$A_{total} = 1092l + (2 * 54l * 6l + 2l * 54l) + (2 * 108l * 6l + 2l * 108l) = 3360l$$

$$F(T, A) = 0,5 * T + 0,5 * \frac{A}{100} = 0,5 * 35,63 + 0,5 * \frac{3360l}{100} = 34,615$$

Per tant, utilitzaria el Super-Buffer $N=3$, sent conscient que, al ser imparell, el resultat del circuit estaria negat.

4. Dissenyar el layout en pseudo-nMOS per una cel·la estàndard d'un circuit que realitzi la funció:

$$S = \overline{AB + CD + E}$$

