

# Examen Parcial de "Disseny de Microprocessadors"

14 de maig de 2007

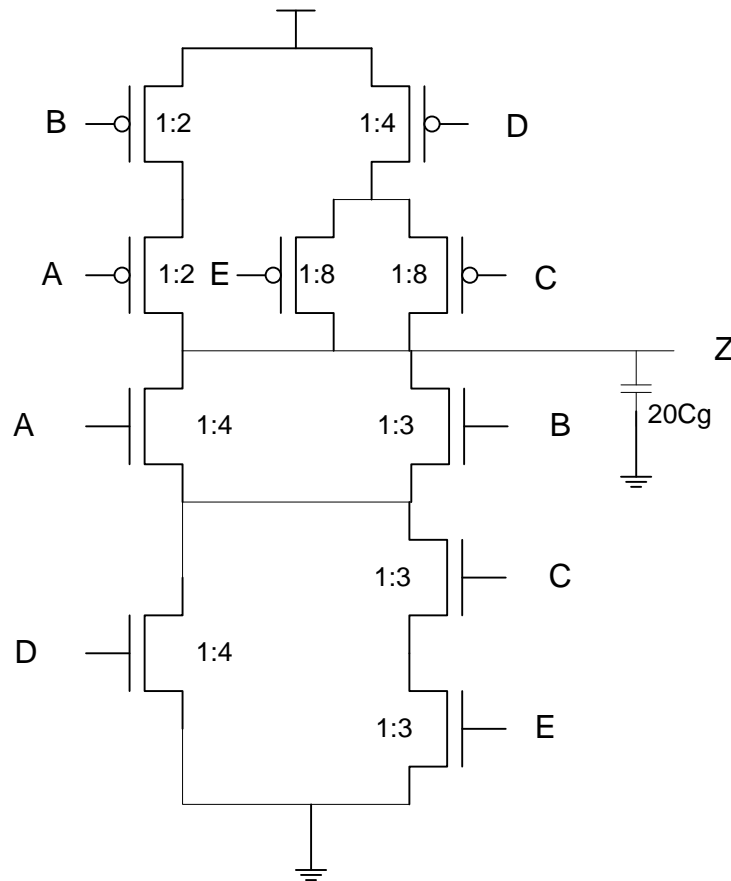
- L'examen dura 2h.
- Es poden portar els apunts.
- Es pot fer servir calculadora

## Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, nMOS i pseudo-nmos. Dimensioneu els transistors de la manera que cregueu més correcta (pel cas d'nMOS i pseudo-nmos) considerant que  $1R_{sp} = 2R_s$ .

$$S = (A + BC) \cdot D + \bar{E}$$

## Problema 2 (3 punts)



Donat el circuit de la figura. Es demana:

- Quina funció calcula? (Expressió Booleana)
- Calcular el retard pels següents casos (considereu que  $1R_{sp} = 2R_s$ ):
  - $A=0, B=0, C=0, D=0, E=0$
  - $A=1, B=0, C=1, D=1, E=1$
  - $A=0, B=1, C=0, D=1, E=0$
- Calculeu el consum dinàmic (en watts) de potència si les entrades commuten un 60% del temps, la freqüència de les entrades és de 3GHz,  $1C_g = 0.9$  fF i  $V_{dd} = 1,2$  V.

### **Problema 3 (3 punts)**

Tenim un circuit que ha de carregar una capacitat externa de 210fF.

- Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la ( $T_{pf}$ )? ( $1C_g=0.9fF$ ).
- Quina solució proposaríeu si es vol reduir el valor de la següent funció: (mireu només per  $f=3$ )

$$F(T, A) = 0'5 \times T + 0'5 \times \frac{A}{100}$$

- On T és el temps –retard- (en  $\tau$ ) total de la solució.
- On A és l'àrea total de la solució (en  $\lambda$ ) – considereu que  $N=6\lambda$  i l'àrea d'un transistor és la del seu font, el drenador (que considerem iguals) i la porta sumades.  
(  $A_{transistor} = 2 \times W \times N + L \times W$  )

### **Problema 4 (2 punts)**

Dissenyar el layout en pseudo n-MOS per una cel·la estàndard d'un circuit que realitzi la funció:

$$S = \overline{AB + CD + E}$$