

Examen Final de “Disseny de Microprocessadors”

26 de juny de 2007

- L'examen dura 2h.
- Es poden portar els apunts.
- Es pot fer servir calculadora

Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, nMOS i Differential CVSL. Dimensioneu els transistors de la manera que cregueu més correcta considerant que $1R_{sp} = 2 R_s$ (en el cas d'nMOS).

$$S = \overline{(A \cdot B + C \cdot D + E)} \cdot F$$

Problema 2 (2 punts)

Donada la implementació en nMOS de la funció del problema 1, realitza el layout.

Problema 3 (2 punts)

Tenim un circuit que ha de carregar una capacitat externa de 350fF. Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la? ($1C_g = 0.9fF$).

Problema 4 (4 punts)

Donades les següent restriccions i dades:

- Els transistors de pull-down N poden tenir com a molt cadenes de 3 transistors N en sèrie (poden haver tants transistors en paral·lel o camins en paral·lel com calgui, però cada camí en sèrie pot tenir com a molt el nombre de transistors indicat).
- Els transistors P són de tamany 1:4 i els N són de tamany 1:2.
- A la sortida del circuit hi ha connectada una capacitat de 50 Cg.
- $1R_{sp} = 2 R_s$, $1\tau = 9'71ps$, $1C_g = 2'49fF$ i $V_{dd} = 1'5V$.
- La funció que es vol calcular és: $f = (AB + CD) \cdot (BF + G)$

Es demana:

- a) Dissenyar un circuit amb lògica dominó que realitzi la funció.
- b) A quina freqüència màxima pot anar la senyal de rellotge (simètric) per tal que el circuit funcioni bé?
- c) Calcular el consum dinàmic de potència del circuit a la freqüència màxima calculada a l'apartat anterior.
- d) Caracteritzeu el circuit (Capacitat a les entrades, retard intern i retard dependent de la sortida).