

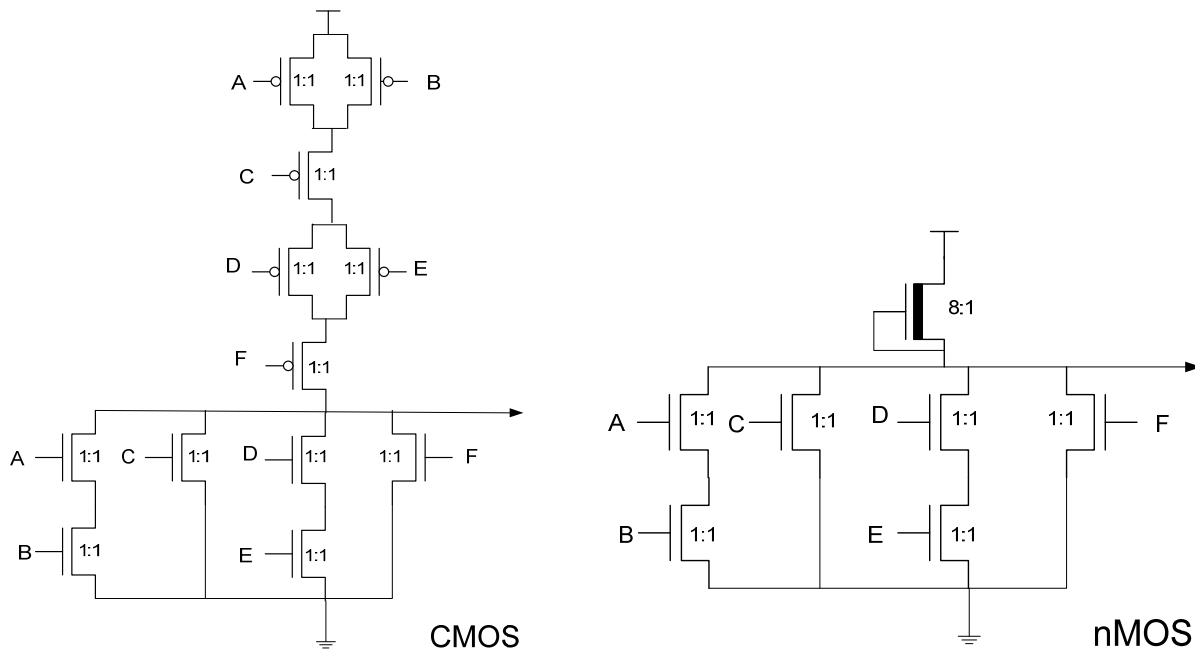
Solució Examen Parcial DM

8 de novembre de 2007

Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, i nMOS amb l'àrea mínima possible (l'àrea d'un transistor es calcula com a: $A=2*(W*N)+(L*N)$ -on $N=6\lambda$). Dimensioneu també els transistors de la manera que cregueu més correcta (pel cas d'nMOS) considerant que $1R_{sp} = 2 R_s$. L i W han de ser potències de 2. (1, 2, 4, 8, 16, ...)

$$S = \overline{(A \cdot B + C) + (D \cdot E + F)}$$

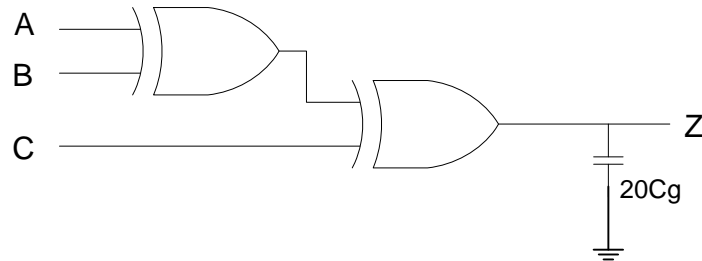


Àrea mínima

En el cas CMOS podem fer tots els transistors de mida mínima així obtindrem l'àrea total mínima.

En el cas d'nMOS, hem de tenir en compte que el transistor nmos per depleció (el del pull-up) ha de ser 4 vegades més resistent. Si mirem els primers tamanys (4:1, 8:1 del pull-up) impliquen les mides 1:2 pel pull-down i 1:1 pel pull-down respectivament. L'àrea resulta ser menor pel segon cas (8:1 al pull-up; i 1:1 al pull-down).

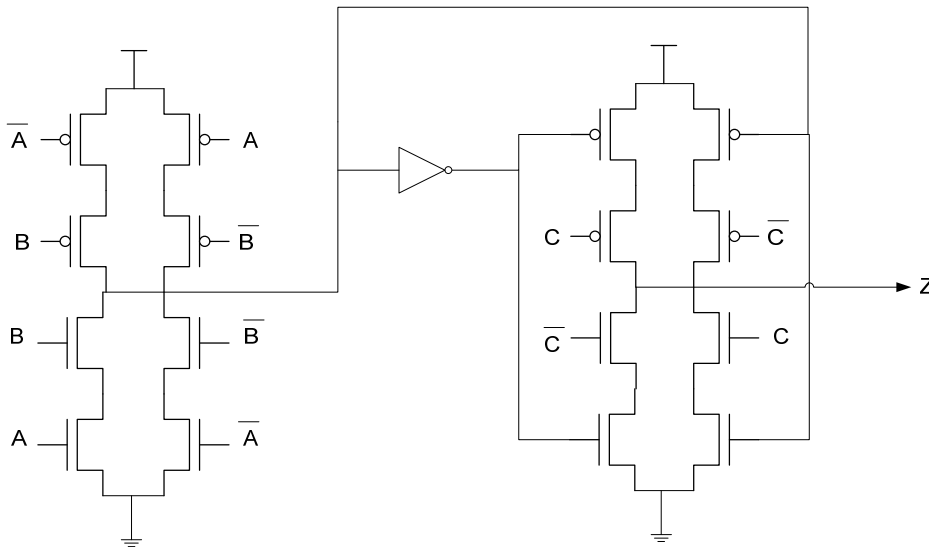
Problema 2 (3 punts)



Donat el circuit de la figura. Realitzat amb portes estàtiques CMOS. Els transistors p de la primera porta són de tamany 1:8 i els transistors n són de tamany 1:2. Per la segona porta, els transistors del pull-up són 1:4 i els del pull-down 1:1. Considera que les entrades A, B i C estan disponibles negades i sense negar. Qualsevol altra senyal negada caldrà afegir un negador de mides 1:4 al pull-up i 1:1 al pull-down. Es demana:

- Dibuixar l'esquemàtic a nivell de transistor del circuit
- Calcular el retard màxim del circuit (considereu $1R_{sp}=2R_s$)
- Calculeu el consum dinàmic (en watts) de potència si les entrades commuten un 80% del temps, la freqüència de les entrades és de 3GHz, $1C_g = 0.9$ fF i $V_{dd} = 1,2$ V.

- Dibuixar l'esquemàtic a nivell de transistor del circuit



- Calcular el retard màxim del circuit (considereu $1R_{sp}=2R_s$)

El camí crític apareix quan ($A=B=0$ o $A=B=1$; $C=0$ o $C=1$).

$$T = \left(\frac{1}{2} + \frac{1}{2}\right)R_{sp} \times (5 + 5)C_g + \frac{1}{4}R_{sp} \times 5C_g + 2R_{sp} \times 20C_g = 10\tau + 2'5\tau + 40\tau = 52'5\tau$$

- Calculeu el consum dinàmic (en watts) de potència si les entrades commuten un 80% del temps, la freqüència de les entrades és de 3GHz, $1C_g = 0.9$ fF i $V_{dd} = 1,2$ V.

$$P = \alpha CV^2 f = 0'8 \times (10 + 5 + 20)C_g \times 1'2^2 \times 3 \times 10^9 = 0'8 \times 35 \times 0'9 \times 10^{-15} \times 1'2^2 \times 3 \times 10^9 = 108'86 \mu W$$

Problema 3 (2 punts)

Tenim un circuit que ha de carregar una capacitat externa de 380fF. Quina solució proposaríeu si es vol reduir el temps que triga en carregar-la (Tpf)? (1Cg=0.9fF).

$$\underline{F=2} \quad N = \log_2 \frac{380}{3 \times 0'9} = 7'14$$

$$\underline{F=3} \quad N = \log_3 \frac{380}{3 \times 0'9} = 4'50$$

Configuració		Retard (τ)
F=2	N=7	42'60
	N=8	45'30
F=3	N=4	42'64
	N=5	41'21

$$T_{f,n} = (n-1) \times 3f + \frac{1}{f^{n-1}} \times R_s \times C_L$$

$$C_L = 380 fF = \frac{380}{0'9} Cg \cong 422'22 Cg$$

$$T_{2,7} = 6 \times 3 \times 2 + \frac{1}{2^6} \times R_s \times 422'22 Cg = 42'60 \tau$$

$$T_{2,8} = 7 \times 3 \times 2 + \frac{1}{2^7} \times R_s \times 422'22 Cg = 45'30 \tau$$

$$T_{3,4} = 3 \times 3 \times 3 + \frac{1}{3^3} \times R_s \times 422'22 Cg = 42'64 \tau$$

$$T_{3,5} = 4 \times 3 \times 3 + \frac{1}{3^4} \times R_s \times 422'22 Cg = 41'21 \tau$$

Caldrà afegir un buffer, en aquest cas el millor és un buffer de 5 etapes amb un factor de 3.

Problema 4 (3 punts)

Digues a quina funció lògica de les següents correspon/equival cada layout:

1. $F = \overline{(A \cdot B \cdot C)}$ **Layout 2**
2. $F = (A \cdot B \cdot C)$ **Layout 4**
3. $F = \overline{(A + B + C)}$ **Layout 1**
4. $F = (A + B + C)$ **Layout 3**
5. Cap de les anteriors

