

## Examen Parcial de “Disseny de Microprocessadors”

20 de desembre de 2007

- L'examen dura 2h. Es poden portar els apunts. Es pot fer servir calculadora.
- Aquest full s'ha d'entregar.

### Problema 1 (3,5 punts)

Donades les següent restriccions i dades:

- Els transistors pull-up P poden tenir com a molt cadenes de 2 transistors P en sèrie i els pull-down N poden tenir com a molt cadenes de 2 transistors N en sèrie (hi poden haver tants transistors en paral·lel o camins en paral·lel com calgui, però cada camí en sèrie pot tenir com a molt el nombre de transistors indicat).
- A la sortida del circuit hi ha connectada una capacitat de 50 Cg.
- $1R_{sp} = 2 R_s$ ,  $1 \tau = 1'2ns$ ,  $1C_g = 2'49fF$  i  $V_{dd} = 1'1V$ .
- La funció que es vol calcular és:  $f = \overline{(A + B + C)} \cdot \overline{(D + E + F)}$

Es demana:

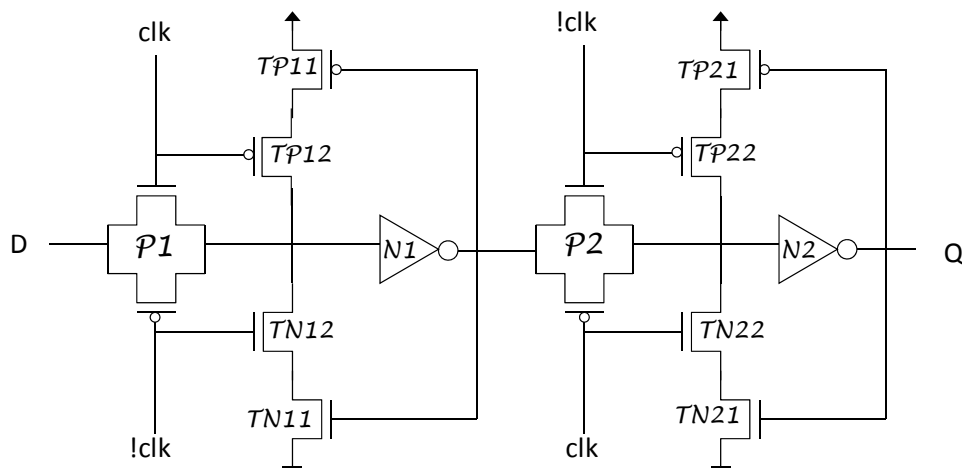
- a) Dissenyar un circuit format per portes N-P que realitzi la funció.
- b) Si la freqüència del circuit és de 40MHz i el rellotge és simètric, quines mides mínimes han de tenir els transistors (totes les mides han de ser potències de 2 (1, 2, 4, 8, 16, 32, ...))?
- c) Caracteritzeu el circuit (Capacitat a les entrades, retard intern i retard dependent de la sortida).

### Problema 2 (1,5 punts)

Dibuixa el layout de la porta dissenyada pel problema 1.

### Problema 3 (2 punts)

Donat el biestable de la figura:



- a) Quins elements constitueixen el retard que es considera en el temps de setup ( $T_{setup}$ )? (si és necessari distingeix entre els cas que  $D=0$  i  $D=1$ )

- b) Quins elements constitueixen el retard que es considera en el temps de hold ( $T_{hold}$ )? (si és necessari distingeix entre els cas que  $D=0$  i  $D=1$ )

- c) Quins elements constitueixen el retard que es considera en el temps de propagació ( $T_{d-q}$ )? (si és necessari distingeix entre els cas que  $D=0$  i  $D=1$ )



**Problema 4 (1 punt)**

Indica (marcant amb una X), per cada tipus de cel·la de memòria si les lectures a aquest tipus de cel·la són destructives i si necessiten refresc per mantenir el valor

	És la lectura destructiva?		Necessita refresc?	
	SI	NO	SI	NO
6T SRAM				
3T DRAM				
1T DRAM				

**Problema 5 (2 punts)**

- Dibuixa i digues per quins transistors travessa el camí o camins per on passa/pot passar el corrent de leakage per les següents cel·les de memòria. Recorda que els bitlines es precarreguen (per tant tenen un transistor connectat a VDD/2 i BL, amb el gate a la senyal de control).

Cel·la SRAM de 6 transistors	Cami/Camins
Cel·la DRAM de 3 transistors	Cami/Camins