

# 1. Tecnologia CMOS. Conceptes bàsics

1.1. Dissenyar portes lògiques CMOS per a les següents funcions:

- $Z = \overline{A \cdot B \cdot C \cdot D}$
- $Z = \overline{A + B + C + D}$
- $Z = \overline{((A \cdot B \cdot C) + D)}$
- $Z = \overline{(((A \cdot B) + C) \cdot D)}$
- $Z = \overline{(A \cdot B) + (C \cdot (A + B))}$

1.2. Utilitzar una combinació de portes CMOS per a generar les següents funcions:

- $Z = A$  (buffer)
- $Z = A \cdot \overline{B} + \overline{A} \cdot B$  (XOR)
- $Z = A \cdot B + \overline{A} \cdot \overline{B}$  (XNOR)
- $Z = A \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot B \cdot C$  (funció suma en un sumador binari)

1.3. Dissenyar les següents funcions lògiques:

- Un descodificador definit per:

$$Z_0 = \overline{A_0} \cdot \overline{A_1}$$

$$Z_1 = \overline{A_0} \cdot A_1$$

$$Z_2 = A_0 \cdot \overline{A_1}$$

$$Z_3 = A_0 \cdot A_1$$

- Un codificador amb prioritats 3:2 definit per:

$$Z_0 = \overline{A_0} \cdot (A_1 + \overline{A_2})$$

$$Z_1 = \overline{A_0} \cdot A_1$$

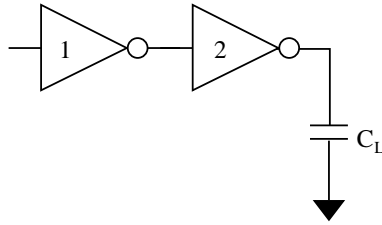
1.4. Repetir l'exercici 1 en lògica nMOS dimensionant correctament els transistors

1.5. Donada la següent funció lògica es demana que dissenyeu una porta en CMOS estàtic que faci aquesta funció. Dimensioneu els seus transistors per tal que el  $T_{pf}$  màxim quan la porta avalua a 1 sigui  $24R_s$  i el  $T_{pf}$  màxim quan la porta avalua 0 sigui  $12R_s$ . Considereu que  $1 R_{sp} = 2 R_s$ .

$$Z = \overline{(a+b)(c+d+e)}f$$

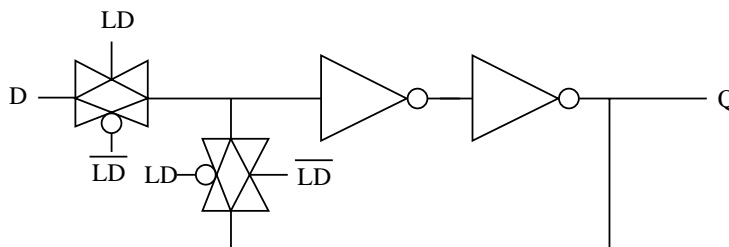
1.6. Dissenyar una cadena d'inversors que carregui el més ràpidament possible una capacitat de 250 Cg.

- 1.7. Dissenyau un super-buffer per carregar una capacitat de 340fF. Considereu les diferents opcions per  $f=2$  i trieu la més ràpida. Tenint en compte que  $1 C_g = 0,9fF$ , calculeu el consum dinàmic del super-buffer incloent la capacitat de sortida si  $V_{dd} = 3,3V$  i es treballa a una freqüència de 1GHz.
- 1.8. Dos inversors nMOS estan encadenats per carregar una capacitat  $C_L = 16 C_g$  tal com es mostra a la figura. Calcular el retard del parell d'inversors ( $T_r$  i  $T_f$ ) en termes de  $\tau$ .

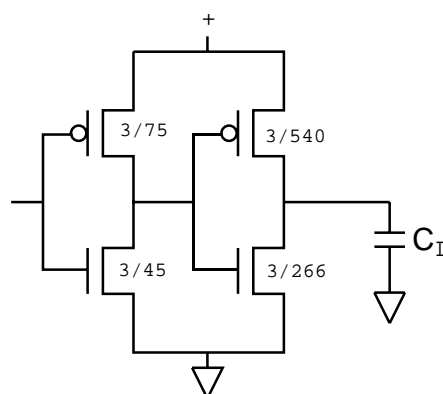


	Inversor 1	Inversor 2
L pull up	$16 \lambda$	$2 \lambda$
W pull up	$2 \lambda$	$2 \lambda$
L pull down	$2 \lambda$	$2 \lambda$
W pull down	$2 \lambda$	$8 \lambda$

- 1.9. Un circuit té consum estàtic i dinàmic ( $P=P_s + P_d$ ). Sabem que treballant a 20 MHz, el consum és de 1 W, i treballant a 25 MHz és de 1.2 W. Quin es el consum estàtic del circuit? Quin serà el consum total treballant a 10 MHz?
- 1.10. Un circuit CMOS, amb un consum estàtic de 0.1 W i una alimentació de 5 V té un consum total de 0.8 W treballant a una freqüència de 10 MHz. Quina alimentació hauria de tenir si volguéssim el mateix consum total treballant a 16 MHz?
- 1.11. El circuit de la figura pretén implementar una cel.la d'un registre. Però el circuit pot arribar a funcionar incorrectament degut a problemes de redistribució de càrrega. Comentar per què i en quin punt es produeix aquest problema.



- 1.12. Un bus precarregat té una capacitat de 10pF. En un moment del cicle de rellotge, 64 registres amb portes de pas a les seves entrades s'activen. La capacitat d'entrada de cada registre (després de la porta de transmissió) és 0.1pF. Calcular el canvi de tensió al bus. Quina podria ser una estratègia de disseny alternativa ?
- 1.13. A la figura es mostra un *buffer* de sortida. El transistor mínim que es pot dissenyar en aquesta tecnologia es de  $3\lambda \times 3\lambda$ , essent  $C_g = 9 fF$  i  $\tau = 0.3 ns$ .
- Calcular el temps de pujada i baixada del "buffer" en funció de  $C_L$  ( $1 R_{sp} = 2 R_s$ ).
  - Si  $C_L = 10pF$  i suposant una freqüència de treball de 20 MHz i que el buffer commuta un 30% dels



cicles, quin seria el seu consum dinàmic ?

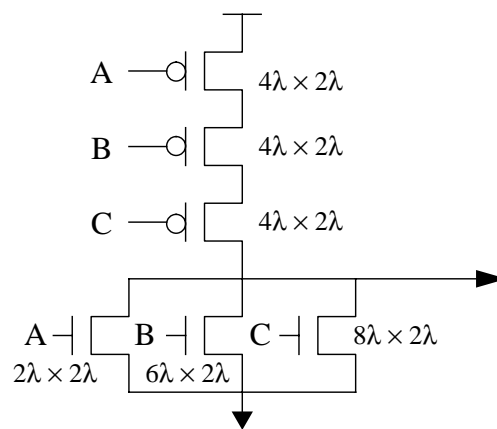
1.14. Donada la porta de la figura, es demana:

- a) Temps de resposta (pujada o baixada, segons sigui el cas) pels diferents cassos que es mostren a la següent taula.

	A	B	C
Cas 1	0	0	0
Cas 2	1	1	1
Cas 3	0	1	0
Cas 4	1	0	1

Calculeu la capacitat de sortida tenint en compte que la sortida alimenta a un inversor CMOS amb el transistor del *pull-up* de  $8\lambda \times 2\lambda$  i el del *pull-down* de mida mínima ( $1 R_{sp} = 2 R_s$ ).

- b) Consum dinàmic de la cel.la si les entrades commuten a una freqüència de 20MHz, la porta commuta el 30% de les vegades i  $V_{dd} = 5V$ .



1.15. Dissenyar el layout en CMOS estàtic d'una porta que realitzi la funció :  $Z = \overline{(A + B + C)} \cdot D$

1.16. Tenim una porta NOR de dues entrades que té connectada a la sortida una capacitat de 350Cg. Si els transistors del pull-up són tots de dimensions 1:2 i els del pull-down tots de dimensions 1:1:

- Quin serà el retard màxim d'aquesta porta?
- Quina modificació podriem fer per tal d'accelerar aquest temps al màxim? Doneu la solució que cregueu més òptima (considereu que  $1R_{sp} = 2 R_s$ ).
- Caracteritzeu el circuit abans i després de la modificació.
- Calculeu el consum dinàmic del circuit modificat, si la sortida varia el 30% de les vegades, les entrades commuten a un freqüència de 20MHz i  $V_{dd} = 1,2V$ .