

Examen FINAL IC

7 de enero de 2003

No podeu fer servir calculadores, mòbils ni apunts

Només podeu utilitzar els xuletaris oficials de l'assignatura

Feu els problemes en **FULLS SEPARATS**

L'examen dura 3 hores

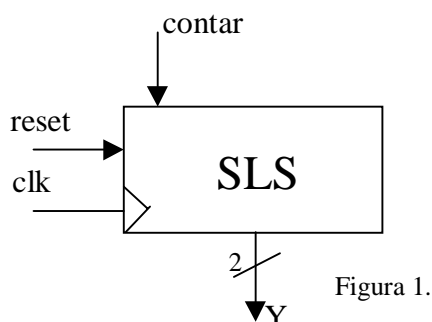
Les notes sortiran el dia 21 de Gener de 2003

La revisió serà el dia 23 de Gener de 2003 a les 11:00 a la sala D6-S103

Les notes definitives sortiran el dia 24 de Gener de 2003

Problema 1 (3,5 punts)

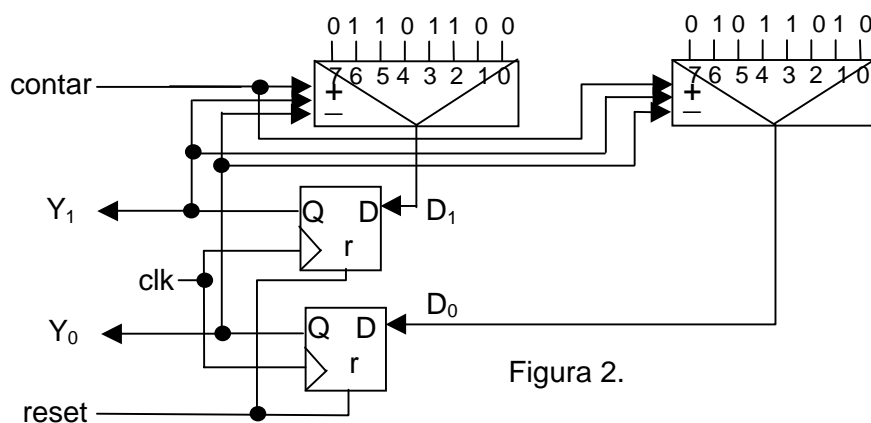
El sistema lògic secuencial de la figura 1 es un bloque denominado "contador módulo 4".



Como se aprecia en la figura, el sistema posee:

- una señal de salida Y, de dos bits, que codifica un número en binario natural (del 0 al 3),
- una señal de entrada, denominada "reset", que cuando se activa pone a cero la salida Y de forma asíncrona,
- una señal de entrada, denominada "contar", que cuando se activa hace que la salida Y pase a valer $(Y+1) \bmod 4$ al ciclo siguiente. Este cambio se produce de forma síncrona.

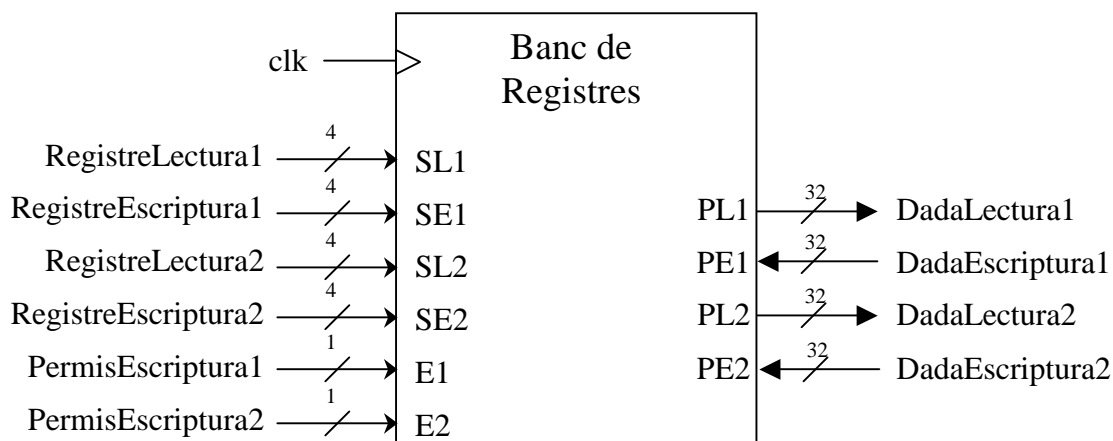
En la Figura 2 se muestra una posible realización del "contador módulo 4".



- a) Escribe las tablas de codificación de estados, de transición de estados y de salidas, y dibuja el grafo de estados del sistema. ¿Es un contador módulo 4?
- b) Modifica el contador de la Figura 2 para que se comporte como un contador ascendente/descendente módulo 4. Es decir, cuando contar=1 la salida Y pasará a valer $(Y+1) \bmod 4$ al ciclo siguiente, y cuando contar=0 la salida Y pasará a valer $(Y-1) \bmod 4$ al ciclo siguiente. El nuevo contador ascendente/descendente debe tener el mismo estilo de diseño que el de la Figura 2 (solamente biestables y multiplexores).

Problema 2 (2,5 punts)

Disposem d'un **banc de registres** amb **16 registres de 32 bits**. Aquest banc de registres té dos ports de lectura (PL1, PL2) i dos ports d'escriptura (PE1, PE2). Aquests ports estan controlats respectivament pels senyals SL1, SL2, SE1 i SE2. Per exemple, el senyal SL1 determina el registre que es llegeix pel port PL1, i els altres senyals tenen un funcionament similar. Els ports d'escriptura disposen de dos senyals addicionals, E1 i E2, que indiquen si els registres seleccionats per SE1 i SE2 s'han d'escriure ($E_i=1$) o no ($E_i=0$) al final del cicle amb els valors d'entrada de PE1 i PE2 respectivament.

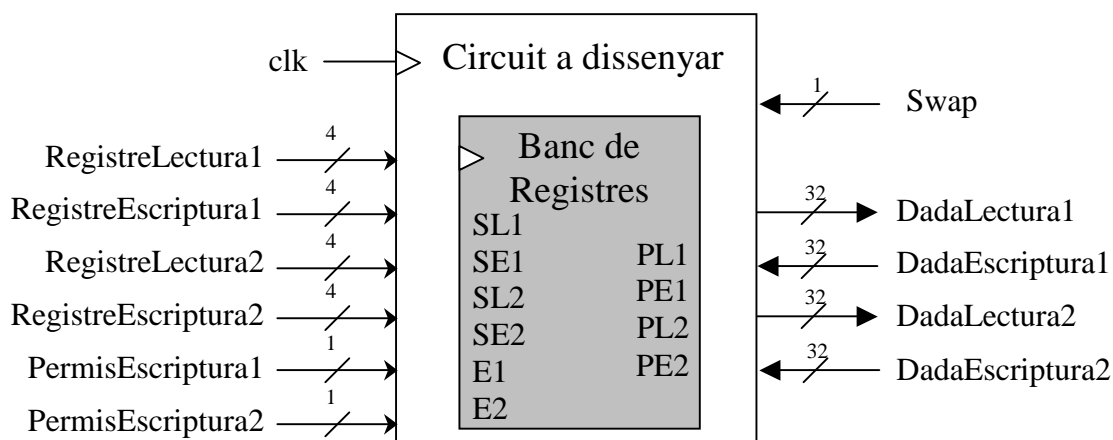


Volem afegir al banc de registres la funcionalitat d'intercanviar el valor de dos dels seus registres en un únic cicle. Per això, s'inclourà en el disseny un nou senyal **Swap**.

- Quan **Swap** val 1, s'intercanviarà al final del cicle el valor dels registres indicats pels senyals RegistreLectura1 i RegistreLectura2. En aquest cas, els valors presents a les entrades DadaEscriptura1, DadaEscriptura2, PermisEscriptura1, PermisEscriptura2, RegistreEscriptura1 i RegistreEscriptura2 no es tindran en compte.
- Quan **Swap** val 0, el banc de registres funciona com és usual.

Feu el disseny a nivell de blocs de forma **EXTERNA** al banc de registres (no cal que dissenyeu el banc de registres per dintre). Es a dir, utilitzeu el banc de registres com un bloc i afegir-li la circuiteria necessària per tal que tot el circuit funcioni com s'ha descrit al paràgraf anterior. (**Objectiu 6.8**).

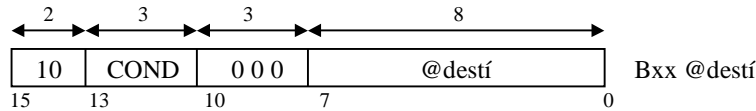
Circuit a dissenyar:



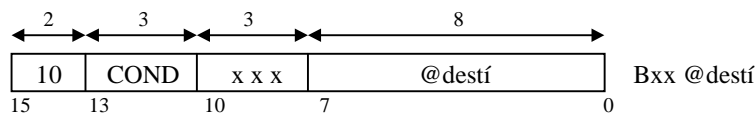
Problema 3 (4 puntos)

Se ha definido un nuevo lenguaje máquina, que es igual al de la máquina rudimentaria excepto en que para las instrucciones de ruptura de secuencia (saltos) los bits 8, 9 y 10 de la instrucción no se tienen en cuenta, es decir, la instrucción es válida sea cual sea el valor de esos tres bits:

A **Instrucción del LM Original:**



Instrucción del Nuevo LM:



La unidad de proceso para implementar este nuevo lenguaje máquina es la que se muestra en la página siguiente.

Las únicas diferencias con la unidad de proceso de la MR original se encuentran en la zona sombreada en gris claro. Se ha introducido un nuevo multiplexor de buses (SELPC) y se han modificado algunas conexiones. Ahora, la Unidad de Control tiene que generar una señal más, la señal de control del multiplexor SELPC: @d'/PC+1.

Se pide:

a) (Objetivo 7.3) Traducid al nuevo lenguaje máquina la instrucción **BGE 153**, dando el resultado en binario y hexadecimal, suponiendo que el ensamblador traduce los bits 8, 9 y 10 como 111.

b) (Objetivo 9.1) Completad el grafo de la nueva unidad de control **que se os da en la hoja de respuesta** para que se ejecute correctamente el nuevo lenguaje máquina en la nueva unidad de proceso. Para ello, debéis:

- añadir uno o varios nuevos estados (especificando sus transiciones y salidas) y
- completar la tabla de salidas.

