

Examen Final IC

12 de juny de 2003

No podeu fer servir calculadores, mòbils ni apunts
Només podeu utilitzar els xuletaris oficials de l'assignatura
Feu els problemes en **FULLS SEPARATS**
L'examen dura 3 hores

Les notes sortiran el dia 26 de juny de 2003

La revisió serà el dia 30 de juny de 2003 a les 11:00 a la sala A6-104

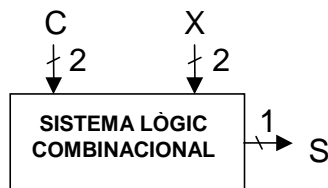
Les notes definitives sortiran el dia 2 de juliol de 2003

Problema 1 (1 punt)

L'esquema de la figura és un sistema lògic combinacional amb una entrada de dades \mathbf{X} ($X_1 X_0$) de 2 bits, una entrada de control \mathbf{C} ($C_1 C_0$) de 2 bits i una sortida \mathbf{S} d'un bit.

La sortida \mathbf{S} val: (NOTA: el número 0 es considera parell)

- Si $C=00$, no importa el valor de la sortida \mathbf{S} .
- Si $C=01$, $\mathbf{S}=1$ si \mathbf{X} té un nombre parell d' 1, altrament $\mathbf{S}=0$.
- Si $C=10$, $\mathbf{S}=1$ si \mathbf{X} té un nombre parell de 0, altrament $\mathbf{S}=0$.
- Si $C=11$, $\mathbf{S}=0$ si \mathbf{X} té un nombre imparell de 0, altrament $\mathbf{S}=1$.

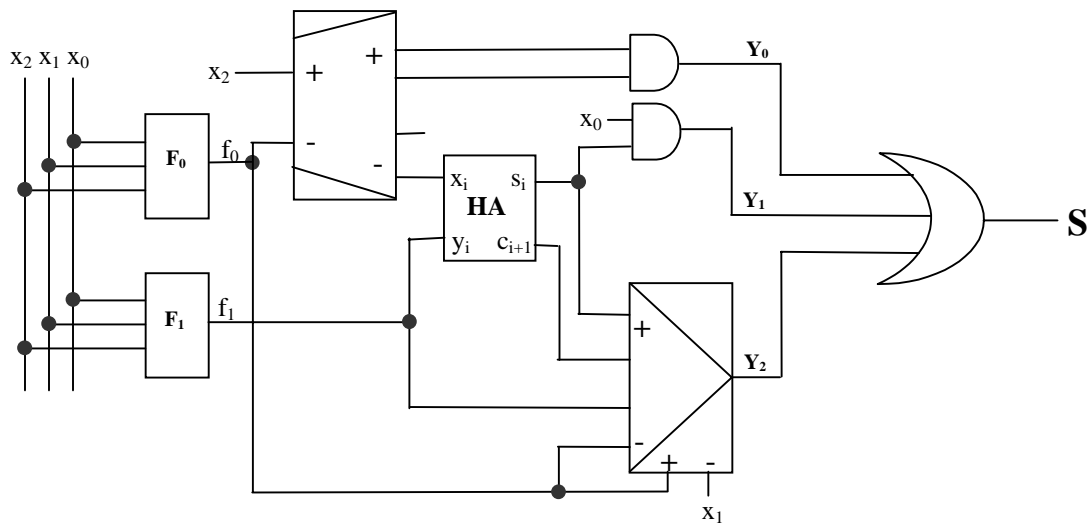


Es demana:

- Especifiqueu la taula de veritat del sistema combinacional. Useu el següent ordre en les entrades per fer la taula: $C_1 C_0 X_1 X_0$ (objectiu 6.1)
- Obteniu una expressió simplificada mitjançant Karnaugh de la sortida \mathbf{S} . (objectiu 6.4)
- Implementeu a dos nivells l'expressió obtinguda en l'apartat **b)**. (objectiu 6.4)
- Si la funció \mathbf{S} es volgués implementar amb una memòria ROM de mida mínima, indiqueu quina seria la seva grandària. (objectiu 6.4)
- L'expressió obtinguda en l'apartat **b)** es pot simplificar. Indiqueu el nombre mínim de portes lògiques del xuleteri (no blocs combinatoris) necessàries per implementar el circuit. Implementeu el circuit usant aquestes portes. (objectiu 6.4)

Problema 2 (2 punts)

Donat el circuit combinacional següent :



Considereu F_1 i F_0 , dos blocs combinacionals amb sortides f_1 i f_0 respectivament. El seu funcionament queda definit segons la següent taula de veritat.

x_2	x_1	x_0	f_1	f_0
0	0	0	1	0
0	0	1	0	1
0	1	0	1	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	0	0
1	1	1	0	1

Es demana:

- Obtenui la taula de veritat de Y_0 , Y_1 , Y_2 i S del circuit de la figura (objectiu 6.1).
- Doneu l'expressió algebraica d' f_1 i f_0 en forma de suma de minterms. (objectiu 6.4)

Considereu que teniu els següents retards per cada component.

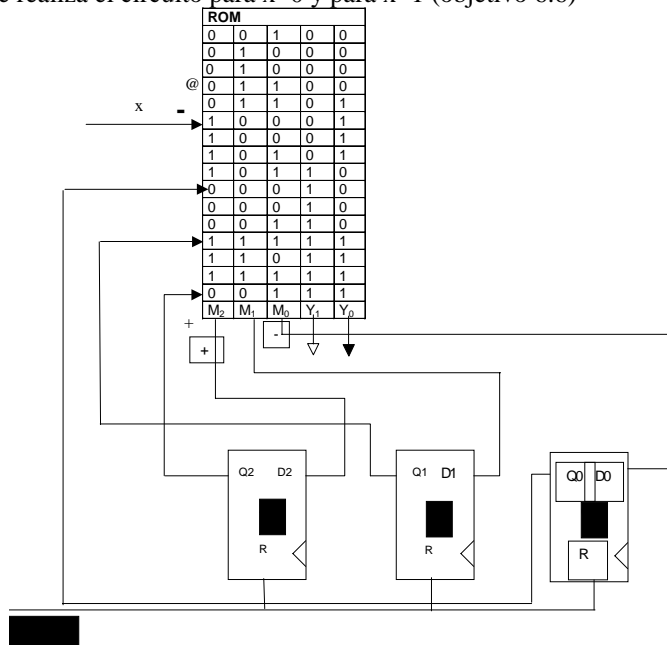
Component	Retard
mòdul F_0	20 ut
mòdul F_1	10 ut
Porta AND	10 ut
Porta OR	10 ut
Porta XOR	20 ut
Multiplexor	30 ut
Decodificador	20 ut

- Deduïu el retard de cada sortida d'un bloc **HA** a partir de les seves entrades.
- Indiqueu el temps màxim necessari per calcular la sortida **S**. Indiqueu la seqüència de blocs que segueix el camí crític. (objectiu 6.2)

Problema 3 (3 punts)

A partir del siguiente circuito indique:

- Si se trata de un sistema combinacional, secuencial o secuencial complejo (objetivo 6)
- La tabla de transiciones entre estados (objetivo 6.6)
- La tabla de salidas (objetivo 6.6)
- El diagrama (grafo) de estados, indicando claramente la leyenda del grafo (entradas y salidas de los estados) (objetivo 6.6).
- ¿Cuál es el estado inicial que se alcanza cuando inicio=1? (objetivo 6.6).
- La función que realiza el circuito para $x=0$ y para $x=1$ (objetivo 6.6)

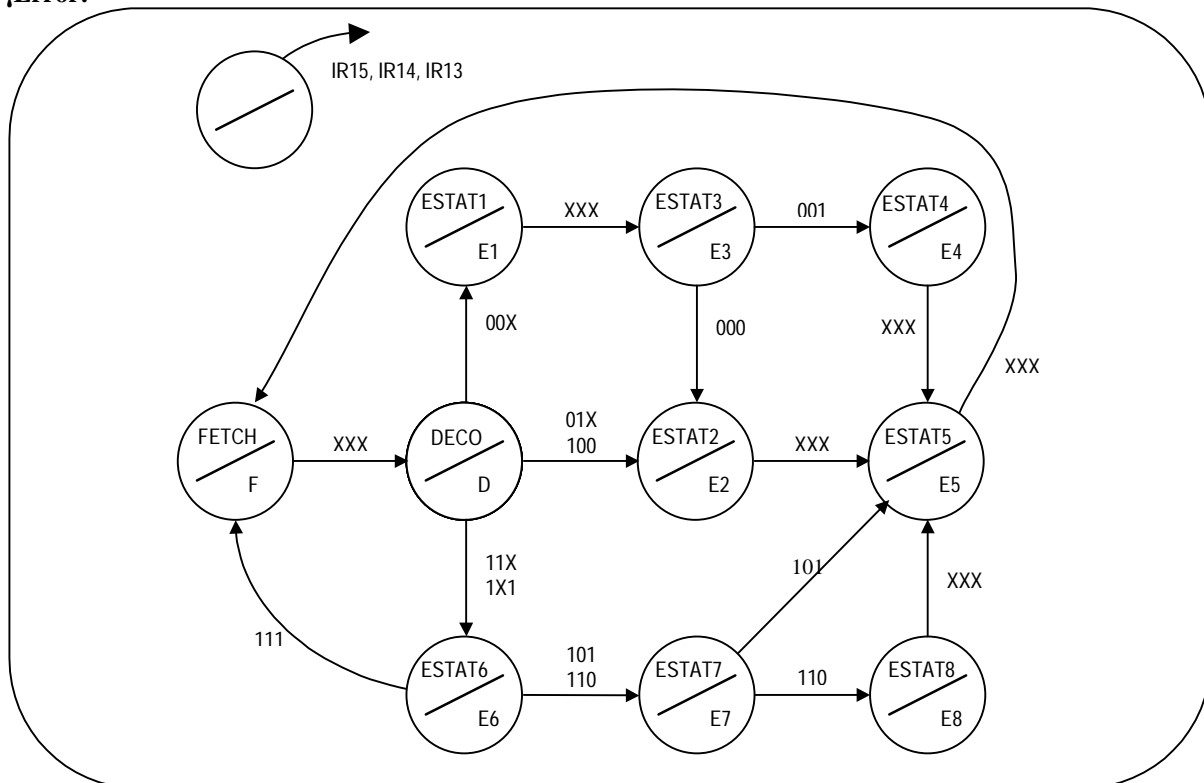


Problema 4 (4 punts)

Es disposa d'una MR2 que té pràcticament la mateixa Unitat de Procés que la MR, però la Unitat de Control és completament diferent. Les instruccions que executa la MR2 són diferents a les que executa la MR, i el seu format no és important per a resoldre aquest problema.

Definim la nova Unitat de Control de la MR2 mitjançant el graf d'estats i la taula de sortides que es mostren a continuació. Les transicions que manquen a cadascun dels estats són transicions que no es poden produir mai.

¡Error!

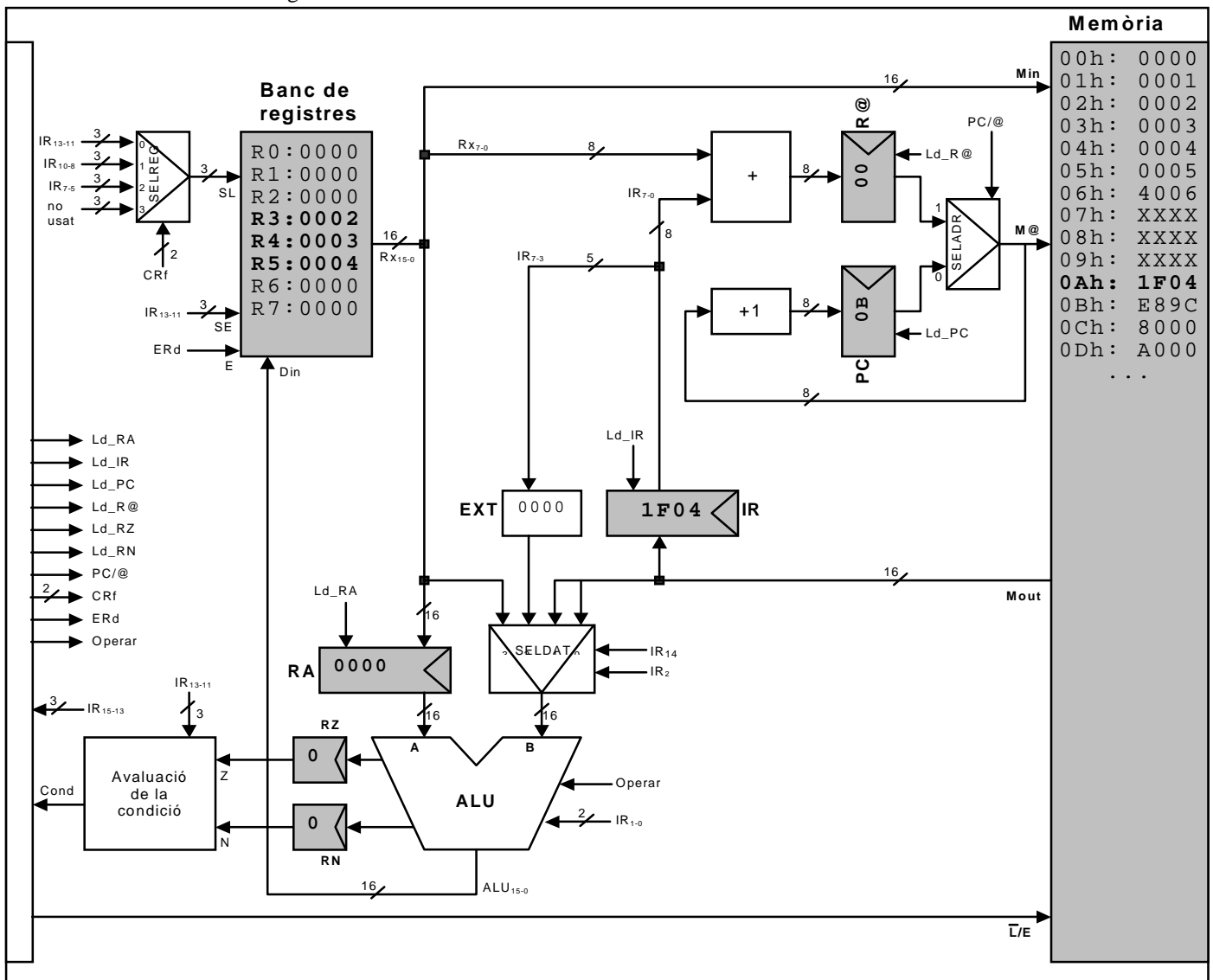


Taula de sortides

Sortides	F	D	E1	E2	E3	E4	E5	E6	E7	E8
Ld_PC	1	0	0	0	0	0	0	0	0	0
Ld_IR	1	0	0	0	0	0	0	0	0	0
Ld_R@	0	0	1	0	0	0	0	0	1	0
Ld_RA	0	0	0	1	0	1	0	0	0	0
Ld_RN	0	0	0	0	0	0	1	1	0	0
Ld_RZ	0	0	0	0	0	0	1	1	0	0
PC'/@	0	X	X	X	1	X	1	X	X	1
CRf	XX	XX	00	00	XX	01	XX	10	01	00
Operar	X	X	X	X	0	X	1	1	X	X
ERd	0	0	0	0	1	0	1	1	0	0
L'/E	0	0	0	0	0	0	0	0	0	1

El següent esquema de la Unitat de Procés de la MR2 mostra el contingut dels registres i la memòria, expressat en hexadecimal, durant la fase de DECO de l'execució d'una determinada instrucció del programa. Aquesta UP és igual a la de la MR original, excepte que **el bit de control de major pes del multiplexor SELDAT està controlat pel bit 14 de l'IR**, enlloc de pel senyal *Operar* de la UC.

Noteu que, en aquest disseny, entren a la Unitat de Control els bits IR₁₅₋₁₃, enlloc dels bits IR₁₅₋₁₄ que entren a la Unitat de Control original de l'MR.



En concret, s'està executant la instrucció 1F04h, que es troba a l'adreça de memòria 0Ah. Fixeu-vos que no és important conèixer la codificació d'aquest llenguatge màquina per a fer el seguiment de l'efecte de l'execució d'aquesta instrucció sobre la Unitat de Procés.

Contesteu les qüestions plantejades al full de respostes.

Cognoms:

Nom:

FULL DE RESPOSTES DEL PROBLEMA 4

Per quina seqüència d'estats evolucionarà la MR2 en els propers 16 cicles? (Objectiu 8.1)

- | | |
|---------|-----------|
| 0. DECO | 9. |
| 1. | 10. |
| 2. | 11. |
| 3. | 12. |
| 4. | 13. |
| 5. | 14. |
| 6. | 15. |
| 7. | 16. |
| 8. | 17. FETCH |

Ompliu, a la taula següent, els valors (en hexadecimal) dels registres especificats a cada un dels cicles d'execució, començant en el cicle actual mostrat a l'esquema de la MR2 (considerem aquest com el cicle 0). Cada columna correspon a un cicle diferent. (Objectiu 8.1)

cicle	0	1	2	3	4	5	6
estat	DECO						
PC	0B						
IR	1F04						
R@	00						
RA	0000						
RN	0						
RZ	0						
R3	0002						
R4	0003						
R5	0004						