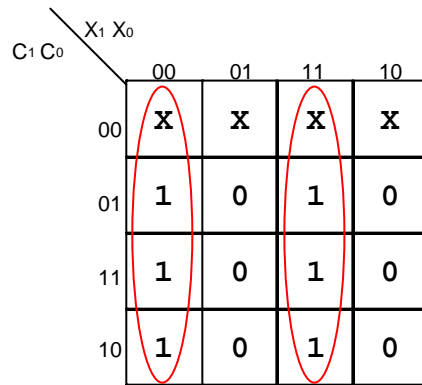


Solució Problema 1 (1 punt)

- a) Especifiqueu la taula de veritat del sistema combinacional. Useu el següent ordre en les entrades per fer la taula:
 $C_1 C_0 X_1 X_0$

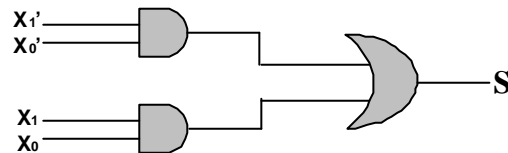
C_1	C_0	X_1	X_0	S
0	0	0	0	X
0	0	0	1	X
0	0	1	0	X
0	0	1	1	X
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

- b) Obteniu una expressió simplificada mitjançant Karnaugh de la sortida S.

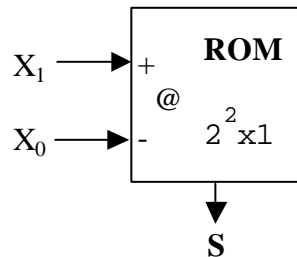


$$S = X_1' X_0' + X_1' X_0$$

- c) Implementeu a dos nivells l'expressió obtinguda en l'apartat b).



- d) Si la funció S es volgués implementar amb una memòria ROM de mida mínima, indiqueu quina seria la seva grandària.



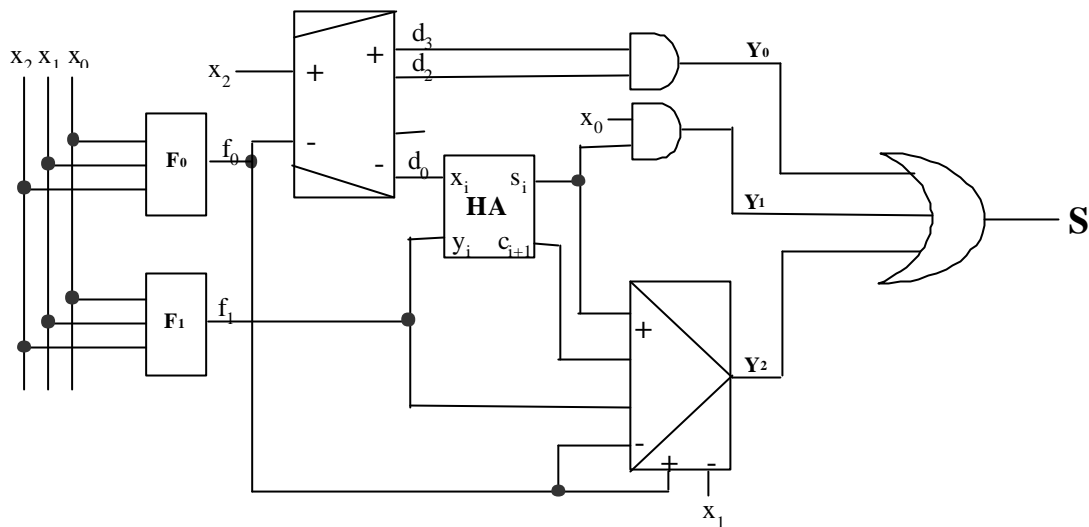
- e) L'expressió obtinguda en l'apartat b) es pot simplificar. Indiqueu el nombre mínim de portes lògiques del xuletari (no blocs combinatoris) necessàries per implementar el circuit. Implementeu el circuit usant aquestes portes.

Es podria implementar el circuit amb una única porta XNOR de dues entrades.



Solució Problema 2 (2 punts)

a) Obteniu la taula de veritat de Y_0 , Y_1 , Y_2 i S del circuit de la figura.



x_2	x_1	x_0	f_1	f_0	d_3	d_2	d_0	s_i	c_{i+1}	Y_0	Y_1	Y_2	S
0	0	0	1	0	0	0	1	0	1	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0	0	0	0
0	1	0	1	1	0	0	0	1	0	0	0	1	1
0	1	1	0	0	0	0	1	1	0	0	1	0	1
1	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	1	0	1	1	0	0	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0	0	0	0

b) Doneu l'expressió algebraica d' f_1 i f_0 en forma de suma de minterms.

$$f_1 = x_2'x_1'x_0' + x_2'x_1x_0' \quad \text{o} \quad f_1(x_2, x_1, x_0) = \sum_3 m(0, 2)$$

$$f_0 = x_2'x_1'x_0 + x_2'x_1x_0' + x_2x_1'x_0 + x_2x_1x_0 \quad \text{o} \quad f_0(x_2, x_1, x_0) = \sum_3 m(1, 2, 5, 7)$$

c) Deduïu el retard de cada sortida d'un bloc HA a partir de les seves entrades.

x_i	y_i	c_{i+1}	s_i
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$S_i = x_i \oplus y_i$ retard $S_i = 20$ ut.
 $c_{i+1} = x_i \cdot y_i$ retard $c_{i+1} = 10$ ut.

d) Indiqueu el temps màxim necessari per calcular la sortida S . Indiqueu la seqüència de blocs que segueix el camí crític.

Seqüència de blocs: mòdul F_0 + decodificador + sortida S_i del HA. + multiplexor + porta OR.

$$\text{Temps} = 20+20+20+30+10 = 100 \text{ ut}$$

Solución Problema 3 (3 punts)

a) Secuencial

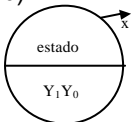
b) **Tabla de transiciones entre estados:**

Estado n	Estado n+1
$Q_2Q_1Q_0x$	$Q_2^+Q_1^+Q_0^+$
0000	001
0001	010
0010	010
0011	011
0100	011
0101	100
0110	100
0111	101
1000	101
1001	000
1010	000
1011	001
1100	111
1101	110
1110	111
1111	001

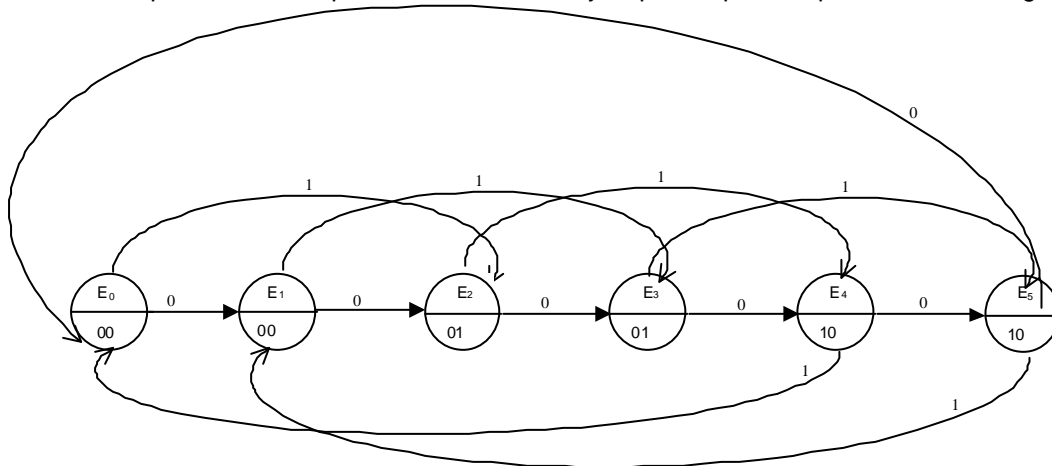
c) **Tabla de salidas**

Estado	salidas
$Q_2Q_1Q_0$	Y_1Y_0
000	00
001	00
010	01
011	01
100	10
101	10
110	11
111	11

d)



Obsérvese que nunca va a parar a los estados 6 y 7, por lo que no aparecen en el diagrama.



e) La señal inicio está conectada con la entrada de reset de los biestables. Por tanto, cuando inicio=1 las salidas de los biestables serán 000 que corresponden al estado E₀.

f) Es un generador cíclico de la secuencia 00,01,10,00,01, etc. Si x=0, repite cada salida durante dos ciclos de reloj (00,00,01,01,10,10,00,...)

