

EXAMEN PARCIAL DE IC

Curso 2001-2002 Q1
7 de Noviembre de 2001

- **Duración del examen: 3 horas**
- **Hay que resolver cada problema en HOJAS SEPARADAS**
- **No se puede usar la calculadora**
- **Sólo se puede tener el chuletario de puertas**
- **Hay una solución del examen disponible en la página web de la asignatura a partir de mañana**
- **Las notas se publicarán el 27 de Noviembre de 2001**

Problema 1: 2 puntos

Efectuar les següents operacions aritmètiques **indicant clarament tots els càlculs realitzats**.

a) Escriure en binari en *complement a dos* (Ca2) el següents números fent servir el menor nombre de bits (objectiu 5.4).

a1) 1093_{10}

a2) -563_{10}

a3) 355_6

b) Escriure en decimal els següents números naturals (objectius 4.1, 4.4 i 4.5):

b1) $1EA3_{16}$

b2) 10010100_2

b3) 423_5

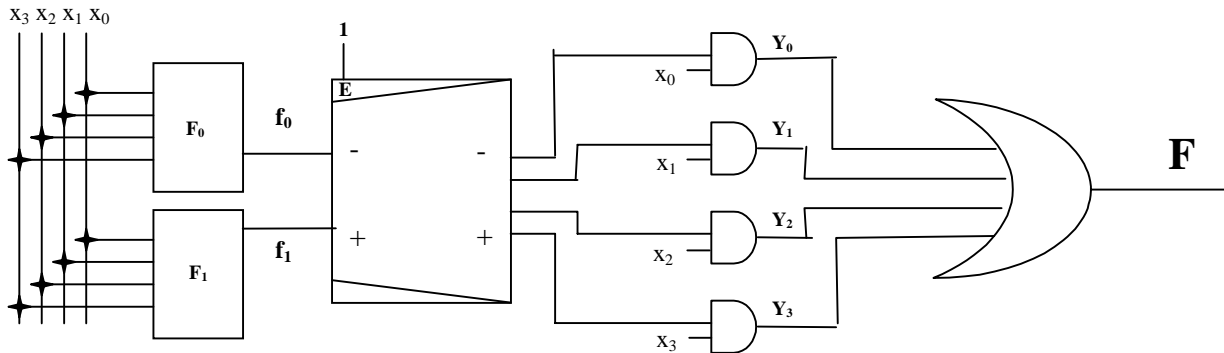
c) Representar en binari en *complement a dos* (Ca2) els nombres implicats en les següents operacions (justificant com ho has fet). Realitzar les operacions treballant amb les representacions en *complement a dos* (Ca2), amb el nombre de bits que s'indica. Indicar, en cada cas, si hi ha overflow o no i justificar la resposta (objectiu 5.5).

c1) $(-3) + (-5)$, en 4 bits.

c2) $(-15) - (-8)$, en 6 bits

Poblema 2: 2 punts

Donat el circuit combinacional següent :



Considereu que F_1 i F_0 són dos blocs combinacionals, amb sortides f_1 i f_0 respectivament, **QUE NO HEU DE DISSENYAR**. El seu funcionament queda definit segons la taula de veritat adjunta.

x_3 x_2 x_1 x_0	f_1	f_0
0 0 0 0	0	1
0 0 0 1	1	0
0 0 1 0	0	1
0 0 1 1	0	0
0 1 0 0	0	1
0 1 0 1	1	0
0 1 1 0	0	1
0 1 1 1	0	0
1 0 0 0	0	0
1 0 0 1	1	0
1 0 1 0	0	0
1 0 1 1	0	0
1 1 0 0	0	0
1 1 0 1	1	0
1 1 1 0	0	0
1 1 1 1	0	0

Es demana:

- a) Feu la **Taula de veritat** de Y_0, Y_1, Y_2, Y_3 i F . (Objectiu 6.3.b)
- b) Doneu l'**expressió lògica** de f_1 i f_0 en forma de **suma de minterms**. (Objectiu 6.4.a1)
- c) Feu la **minimització** d' $F(x_3, x_2, x_1, x_0)$ a partir de **mapes de Karnaugh**. (Objectiu 6.4.a3)
- d) Feu la **implementació** de la funció F **minimitzada (circuit a dos nivells)** (Objectiu 6.4.a3)
- e) Calculeu els **temps de retard** pel circuit de la figura i pel circuit obtingut a l'apartat d). Considereu els següents temps de retard per cada bloc (Objectiu 6.4.a2)

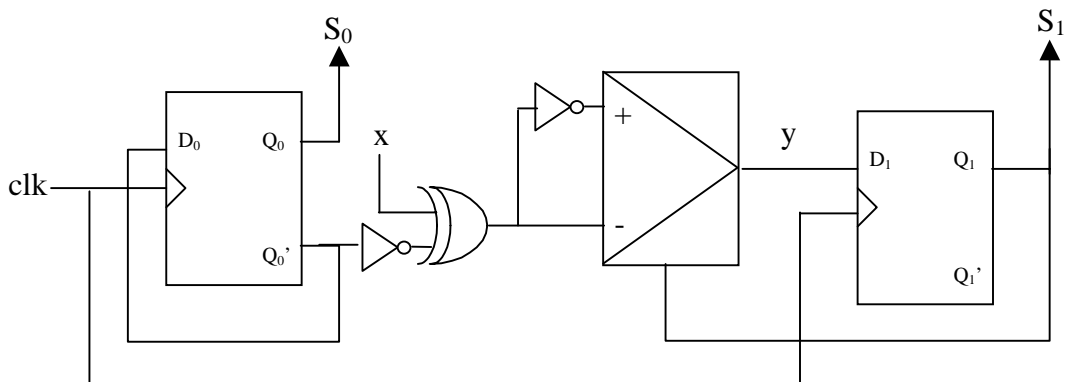
NOT	5 ns
AND	10 ns
OR	10 ns
DECODIFICADOR	20 ns
Circuit F0	20 ns
Circuit F1	30 ns

Poblema 3: 3 punts

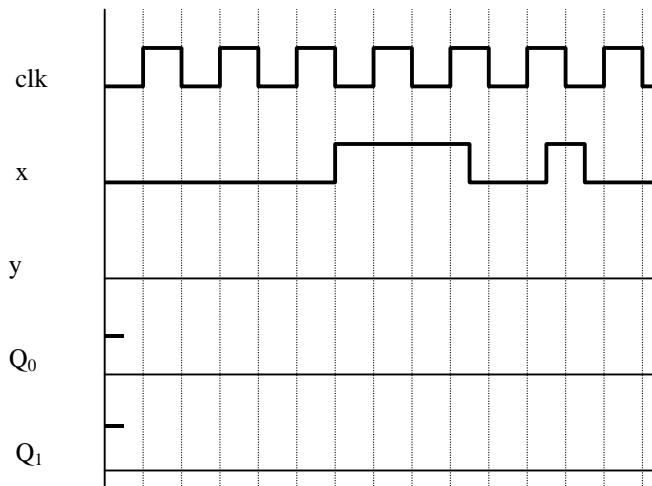
- a) Especificar, amb un graf d'estats, un sistema lògic seqüencial que retorna a la sortida quin és el màxim valor vist a l'entrada. L'entrada és un número natural codificat amb dos bits. Inicialment la sortida val zero. (Objectiu 6.5)
- b) Implementar el circuit especificat a l'apartat (a) amb una ROM (de la grandària necessària) i el mínim nombre de biestables D. Indicar clarament quines són les entrades, el pes de les entrades, el contingut de la ROM y quines són les sortides. (Objectius 6.7 i 6.4)

Poblema 4: 3 puntos

Dado el siguiente circuito secuencial:



- a) Rellenad el siguiente cronograma, suponiendo que las puertas y bloques del circuito no tienen retardo. Asumid que, inicialmente, Q_0 y Q_1 valen 1. (objetivo 6.6.2).



- b) Indicad el tiempo mínimo de ciclo que debe tener el sistema para que funcione correctamente, suponiendo que los retardos de los distintos bloques son los siguientes (objetivo 6.6.3):

Biastable D: 10 ns.
 Multiplexor: 25 ns.
 Puerta NOT: 5 ns.
 Puerta XOR: 15 ns.

- c) Realizad el análisis del circuito indicando mediante un grafo de estados su comportamiento, poniendo claramente las tablas de transición, excitación y salidas (objetivo 6.6.1)