

# Examen Parcial IC

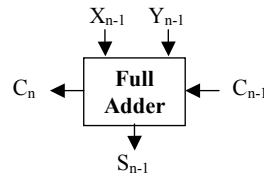
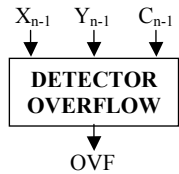
26 de novembre de 2003

- No podeu fer servir calculadores, mòbils ni apunts.
- S'han de resoldre els problemes en **FULLS SEPARATS**.
- L'examen dura 3 hores.
- Es publicarà una solució de l'examen a la pàgina web de l'assignatura.
- Les notes sortiran el dia 9 de desembre de 2003
- La revisió serà el dia 10 de desembre de 2003 a les 11:00 a la sala D6-004
- Les notes definitives sortiran el dia 11 de desembre de 2003

## Problema 1 (3 punts)

Efectuar les següents operacions aritmètiques **indicant clarament tots els càlculs realitzats**.

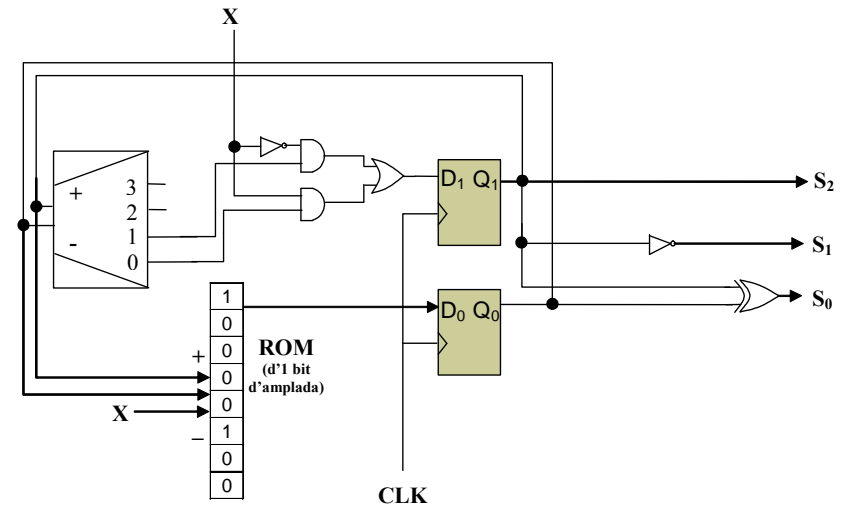
- Escriure en *complement a dos* (Ca2) el següents números fent servir el menor nombre de bits. (objectiu 6.1)
  - $1431_{10}$
  - $-234_{10}$
- Escriure en decimal els següents números naturals: (objectiu 2.3)
  - $1EA3_{16}$
  - $110101011_2$
- Representar en *complement a dos* (Ca2) els nombres implicats en les següents operacions (explicant com ho has fet). Realitzar les operacions treballant amb les representacions en *complement a dos* (Ca2), amb el nombre de bits que s'indica. Indicar, en cada cas, si hi ha overflow o no i justificar la resposta. (objectiu 6.3)
  - $(-3) + (-6)$ , en 4 bits.
  - $(-15) - (-7)$ , en 6 bits
- Escriu la taula de veritat i implementa a 2 nivells un circuit que detecti l'overflow per a sumes de dos números en *complement a dos* d' $n$  bits ( $X_{n-1}, X_0$  i  $Y_{n-1}, Y_0$ ). El circuit té les següents entrades i sortides (Detector Overflow): (objectiu 3.2)



Nota: El "Full-Adder" es mostra per entendre el nom de les entrades.

## Problema 2 (3 punts)

Donat el següent circuit lògic seqüencial:



Contesta les següents preguntes:

- Sense analitzar la funcionalitat del sistema digues quin és el nombre màxim d'estats que pot tenir aquest circuit? (objectiu 4.7.2)
- Escriu una expressió algebraica per  $D_1$  en suma de mintermes. (objectiu 3.5)
- Especifica la taula de transicions del circuit (objectiu 4.9)
 

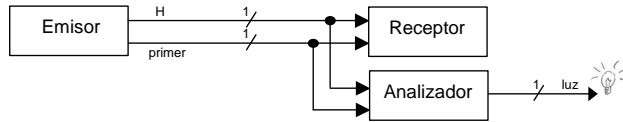
$Q_1$	$Q_0$	$X$	$Q_1^+$	$Q_0^+$
-------	-------	-----	---------	---------
- Especifica la taula de sortides del circuit. (objectiu 4.9)
 

$Q_1$	$Q_0$	$S_2$	$S_1$	$S_0$
-------	-------	-------	-------	-------
- Troba el graf de Moore del circuit. Suposa que l'estat inicial és  $Q_1=0$  i  $Q_0=0$ . (objectiu 4.9)
- Suposant que tenim els següents temps de retard:  $T_{DECOD} = 50$  ns,  $T_{ROM} = 50$  ns,  $T_{AND} = T_{OR} = 20$  ns,  $T_{XOR} = 50$  ns i  $T_{NOT} = 10$  ns, digues quin és el temps de cycle mínim d'aquest circuit, indicant detalladament quins components trobem al camí crític. (Suposem que el temps de carrega del biestable és negligible). (objectiu 4.8)

### Problema 3 (4 punts)

Se desea diseñar un dispositivo que analice los datos que se transmiten a través de un cable y encienda una luz cada vez que se detecte un error en la transmisión. Estos errores pueden provocar el paso de un 1 a un 0 o viceversa debido a interferencias electromagnéticas, etc...

El dispositivo Emisor envía dígitos hexadecimales al Receptor a través de un cable de 1 bit. Junto al dispositivo Receptor pondremos el Analizador que diseñaremos tal como se muestra en la figura.



El Emisor transmite los datos de la siguiente forma. Cada dígito hexadecimal está formado por 4 bits ( $x_3x_2x_1x_0$ ). El Emisor envía por cada dígito hexadecimal 5 bits a través del cable. Uno a cada ciclo de reloj. Primero envía los 4 bits que corresponden al dígito, empezando por el bit de menor peso, y seguidamente envía un bit de paridad (P). Este bit de paridad indica si el número de unos que codifican el dígito hexadecimal es par o impar.

P	Número de unos del dígito
0	Es par
1	Es impar

Por ejemplo: Si el Emisor quiere enviar el dígito 7, los 5 bits a transmitir serán 10111 y si quiere transmitir el dígito A los valores que pondrá en el cable serán 01010.

Así que si queremos enviar la siguiente secuencia de dígitos hexadecimales ...FAD870B9 (primero enviamos el dígito 9, luego el dígito B, etc) los bits que enviaremos por el cable serán:

.....	F	A	D	8	7	0	B	9
.....	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>	P X <sub>3</sub> X <sub>2</sub> X <sub>1</sub> X <sub>0</sub>
? ? ?	0 1 1 1	1 0 1 0	1 1 1 0	1 1 0 0	1 0 1 1	1 0 0 0	1 1 0 1	0 1 0 0

El circuito Analizador a diseñar deberá encender la luz siempre que el bit de paridad no coincida con el número de unos del dígito. Para encender la luz pondrá a 1 la señal de salida luz. El circuito dispone de una entrada primer que vale 1 durante un ciclo cada vez que el primer bit del dígito transmitido está presente en la entrada del circuito. Hasta que no se finalice la transmisión del dígito hexadecimal, la señal primer no volverá a activarse.

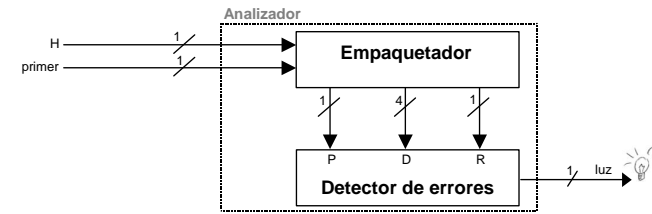
Todos los circuitos (Emisor, Receptor y Analizador) están sincronizados. Es decir, tienen la misma señal de reloj.

Para simplificar el diseño del Analizador lo dividiremos en dos dispositivos. Un dispositivo se encargará de empaquetar los datos que se reciben en serie por el cable y otro dispositivo se encargará de detectar los errores.

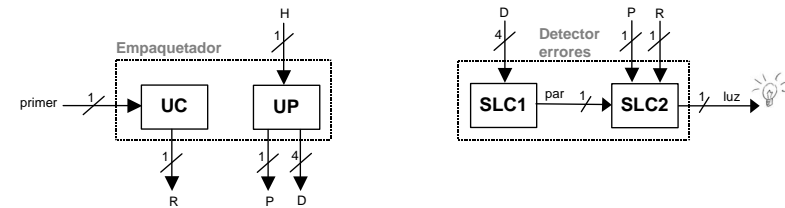
El primer dispositivo a diseñar le llamaremos Empaquetador. Recibe por el cable los 5 bits del dígito en serie. Cuando ha recibido todos los bits del dígito, muestra por una salida de 4 bits (D) el dígito, por una salida de 1 bit el bit de paridad (P) y por otra salida una señal (R) a 1 durante un ciclo que indica que se ha recibido un dígito.

El segundo dispositivo a diseñar le llamaremos Detector de errores. Recibe el dígito, el bit de paridad y la señal que indica que se ha recibido un dígito del dispositivo Empaquetador en ese ciclo. El circuito debe poner a 1 la señal luz durante un ciclo cada vez que el bit de paridad no coincide con el esperado. Para implementar este circuito combinacional lo dividiremos en dos subcircuitos. El primer subcircuito recibe el dígito del Empaquetador y genera una señal de salida llamada par que indica si el número de unos del dígito es par o impar. La señal par vale 1 si el número de bits a uno del dígito es par, sino vale 0. El segundo subcircuito recibe las señales par, P y R para generar la señal de salida luz.

En el siguiente esquema podéis ver las conexiones del Analizador.



En el siguiente esquema podéis ver las conexiones internas del circuito Empaquetador y del circuito Detector de errores.



Nota: Todos los componentes son ideales. No tienen retardo ni provocan transitorios.

- Diseña la Unidad de proceso (UP) del dispositivo Empaquetador. (objetivo 5.8)
- Dibuja el grafo de estados de la Unidad de Control (UC) del Empaquetador. (objetivo 5.8 y 4.6)
- Implementa el circuito de la UC del Empaquetador utilizando un biestable por cada estado. (objetivo 4.7.1)
- Implementa mediante puertas lógicas cada uno de los dos subcircuitos del dispositivo Detector de errores. (objetivo 3.2 y 3.4)