

INTRODUCCIÓ ALS COMPUTADORS (IC)

LABORATORI

Curs 2001-2002

Segon quadrimestre

1. PRÀCTICA 1: INTRODUCCIÓ

La primera sessió de laboratori té dos objectius principals:

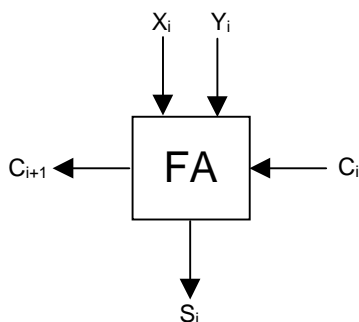
- 1) aconseguir el coneixement de l'eina Logic Works, necessari per poder fer les següents pràctiques.
- 2) començar a experimentar els conceptes bàsics sobre les portes lògiques estudiades a les classes de teoria i problemes.

Enunciat:

- a) Un *full-adder* és un circuit combinacional que fa la suma de tres bits. La seva taula de veritat és la següent:

X_i	Y_i	C_i	C_{i+1}	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

El *full adder* suma dos bits del mateix pes amb el carry que ve de l'etapa anterior de la suma. Es pot representar com:



- a1) **Dibuixeu** en el full de respostes el disseny del *full-adder* a dos nivells (sense minimitzar).
- a2) **Doneu l'expressió algebraica** de les dues sortides (sense minimitzar).
- a3) Suposant que el retard d'una porta OR i el retard d'una porta AND és de 10 unitats de temps, i que el retard d'una porta NOT és de 5 unitats, **quan temps triga el full adder en calcular S_i i C_{i+1} ?**
- a4) Utilitzant només portes lògiques de la llibreria IC01Q2, **implementeu en el logic works a dos nivells (sense minimitzar) la sortida C_{i+1}** i comproveu que es comporta com la taula de veritat descrita amunt. **Quin és el seu retard?**

Per fer aquesta comprovació, cal que indetermineu tot el circuit abans de posar els números a les entrades del *full adder*. Això es pot fer posant Z's a les entrades i posant en marxa el simulador fins que tots els cables tinguin un valor indeterminat (X). Després es para el simulador, es posa el valor desitjat a les entrades i es torna a posar en marxa el simulador. La simulació s'atura quan la sortida és estable, i el temps de resposta del circuit es pot veure al cronograma de la finestra inferior.

- b) En aquest apartat es tracta de que analitzeu el bloc FA_4N de la llibreria ICP de Logic Works.
- b1) Poseu aquest bloc en un nou circuit i **obtingueu la seva taula de veritat**. Poseu-la al full de respostes.
- b2) **Quina funció fa el bloc "FA_4N"?**

Sortiu del *logic works* i executeu des d'a la comanda *icp1.bat*.

Aquesta comanda escriurà al vostre diskette un fitxer que conté la implementació interna del bloc FA_4N. El retard d'una porta NOT és de 5 unitats de temps, el retard d'una porta OR i el d'una porta AND és de 10 unitats de temps, i el retard d'una porta XOR és de 20 unitats.

b3) **Quantes unitats de temps** triga com a màxim el bloc FA_4N en calcular les sortides S_i i C_{i+1} ?

c) Utilitzeu la implementació interna del bloc FA_4N per contestar les següents preguntes:

c1) Utilitzeu el *logic works* per a calcular el retard de les sortides s_i i c_{i+1} per als senyals d'entrada $x_i y_i c_i = 010$. **Dibuixeu el cronograma al full de respostes.**

Per fer aquest càlcul, cal que indetermineu tot el circuit abans de posar els números a les entrades del circuit. Això es pot fer posant Z's a les tres entrades i posant en marxa el simulador fins que tots els cables tinguin un valor indeterminat (X). Després es para el simulador, es posa el valor desitjat a les entrades i es torna a posar en marxa el simulador. La simulació s'atura quan la sortida és estable, i el temps de resposta del circuit es pot veure al cronograma de la finestra inferior (*timing*).

c2) Utilitzeu el *logic works* per calcular el retard de les sortides s_i i c_{i+1} per als senyals d'entrada $x_i y_i c_i = 011$. **Seguiu el mateixos passos que a l'apartat c1). Dibuixeu el cronograma al full de respostes.**

Una vegada heu calculat el temps de resposta del circuit per l'apartat c2), atureu la simulació. Les entrades encara valen $x_i y_i c_i = 011$, i les sortides son $c_{i+1} = 1$ i $S_i = 0$. **Amb la simulació parada**, torneu a posar a les entrades els valors $x_i y_i c_i = 010$. Poseu en marxa el simulador, i observeu el cronograma des de la posada en marxa.

c3) **Quin és el retard del circuit fins a obtenir el valor de les sortides s_i i c_{i+1} ?**

c4) **Dibuixeu el cronograma al full de respostes.** Compareu el cronograma amb l'obtingut a l'apartat c1) i **justifiqueu per què es produeixen les diferències.**

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

2. FULL DE RESPOSTA: PRÀCTICA 1 (INTRODUCCIÓ)

a1) Implementació del full-adder.

a2) Expressió algebraica.

$S_i =$

$C_{i+1} =$

a3) Temps de S_i :

Temps de C_{i+1}

a4) Retard

b1) Taula de veritat.

X_i	Y_i	C_i	C_{i+1}	S_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

b2) Funció.

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

b3) Temps de Si:

Temps de Ci+1:

c1) Cronograma.

c2) Cronograma.

c3) Retard Si

Retard Ci+1

c4) Cronograma

Comentaris:

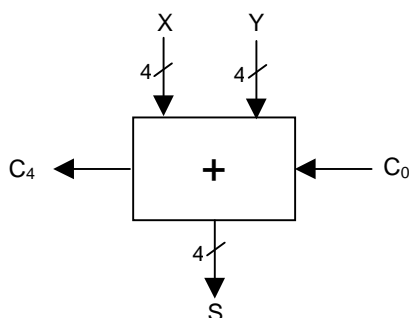
3. PRÀCTICA 2: DISSENY DE S.L.C. I CIRCUITS ARITMÈTICS

Aquesta sessió té els següents objectius:

- 1) practicar els conceptes de circuits aritmètics estudiats a teoria.
- 2) practicar l'encadenament de blocs aritmètics.
- 3) estudiar els retards en els blocs aritmètics.

Enunciat:

- a) **Implementeu** al logic works un sumador de números naturals de 4 bits encadenant 4 FAs d'un bit usant els blocs **FA_2N** de la llibreria ICP.



- b) **Sortiu del logic i executeu des d'a la comanda icp2.bat.**

Aquesta comanda escriurà al vostre diskette un fitxer que conté la implementació del bloc FA_2N. Aquest bloc està implementat a dos nivells. El retard d'una porta OR i una porta AND és de 10 unitats de temps. El retard d'una porta NOT és de 0 unitats de temps (a diferència de la pràctica 1). Per tant, el retard màxim d'un full-adder **FA_2N** és de 20 unitats de temps per cadascuna de les dues sortides.

- b1) **Calculeu el retard màxim** que tindrà el sumador de quatre bits que heu implementat a l'apartat a)
- b2) **Indiqueu dos números** de 4 bits que produeixen aquest retard quan es sumen (amb carry d'entrada 1).
- b3) **Indiqueu dos números** de 4 bits que produeixen la meitat d'aquest retard quan es sumen (amb carry d'entrada 1).
- b4) **Comproveu que el retard del circuit es comporta com heu previst** amb les entrades dels apartats b2) i b3). Si no és així, indiqueu perquè.
Per fer la comprovació, cal que indetermineu tot el circuit abans de posar els números a les entrades del sumador. Això es pot fer posant X's a les entrades i posant en marxa el simulador fins que tots els cables tinguin un valor indeterminat.
- b5) **Proveu la següent seqüència** i indiqueu quan triga el sumador en calcular cada suma. Expliqueu perquè es produeixen aquestes diferències.
Per tal de comprovar la seqüència, cal que pareu el simulador i canvieu les dues entrades del sumador abans de tornar a posar-lo en marxa.

X =	0	F	A	A
Y =	0	4	5	5
C ₀ =	0	0	1	0

- b6) **Quin és el retard màxim d'un sumador d'n bits** construït amb mòduls FA_2N?

c) **Sortiu del logic i executeu des d'a la comanda icp1.bat.**

Aquesta comanda escriurà al vostre diskette un fitxer que conté la implementació del bloc FA_4N. El retard d'una porta OR i una porta AND és de 10 unitats de temps. El retard d'una porta XOR és de 20 unitats de temps.

c1) **Quin és el retard màxim del bloc FA_4N** per a cadascuna de les dues sortides?

c2) **Implementeu** al logic works un sumador de números naturals de 4 bits encadenant 4 FAs d'un bit usant els blocs **FA_4N** de la llibreria ICP. Calculeu el retard màxim que tindrà aquest sumador de quatre bits.

c3) **Indiqueu dos números** de 4 bits que produixin aquest retard quan es sumen (amb carry d'entrada 1).

c4) **Comproveu que el retard del circuit es comporta com heu previst** amb aquestes entrades. Si no és així, indiqueu perquè.

Per fer la comprovació, cal que indetermineu tot el circuit abans de posar els números a les entrades del sumador. Això es pot fer posant X's a les entrades i posant en marxa el simulador fins que tots els cables tinguin un valor indeterminat.

c5) **Perquè el retard màxim del sumador no és 4 vegades el retard d'un full-adder FA_4N?**

c6) **Proveu la següent seqüència** i indiqueu quan triga el sumador en calcular cada suma. Expliqueu perquè es produeixen aquestes diferències.

X =	0	F	A	A
Y =	0	4	5	5
C ₀ =	0	0	1	0

c7) **Quin és el retard màxim d'un sumador d'n bits construït amb mòduls FA_4N?**

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

4. FULL DE RESPOSTA: PRÀCTICA 2 (DISSENY DE S.L.C. I CIRCUITS ARITMÈTICS)

a) Implementació del sumador de 4 bits.

b1) Retard màxim del sumador implementat amb FA_2N:

b2) X= Y= Cin=1

b3) X= Y= Cin=1

b4)

b5)

b6) Retard d'un sumador d'n bits implementat amb blocs FA_2N:

c1) Retard màxim d'un FA_4N per a Ci+1:

Retard màxim d'un FA_4N per a Si:

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

c2) Retard màxim d'un sumador de 4 bits implementat amb blocs FA_4N:

c3) X= Y= Cin=1

c4)

c5)

c6)

c7) Retard d'un sumador d'n bits implementat amb blocs FA_4N:

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

5. PRÀCTICA 3: BIESTABLES I S.L.S. SIMPLES (enunciat i fulls de respostes)

Objectius de la pràctica:

- Entendre el funcionament d'un biestable (en particular, d'un biestable tipus D)
- Revisar el concepte de sistema lògic seqüencial
- Entendre el funcionament de les entrades síncrones i asíncrones d'un biestable
- Practicar els conceptes de temps de cycle i temps de camí crític
- Familiaritzar-se amb l'ús i la interpretació dels cronogrames

Nota 1: Abans d'entrar al LogicWorks, cal que ompliu el full de cronogrames. Hi heu de dibuixar els senyals que se us demanen al subapartat 'Treball a realitzar sobre paper' de cada escenari. Cal entregar aquest full abans de poder començar a treballar amb el LogicWorks. Abans d'entregar-lo, heu de copiar el senyal de sortida calculat en cadascun dels cronogrames dels fulls d'enunciat per tal de poder compararlo després amb el que obtingueu al LogicWorks.

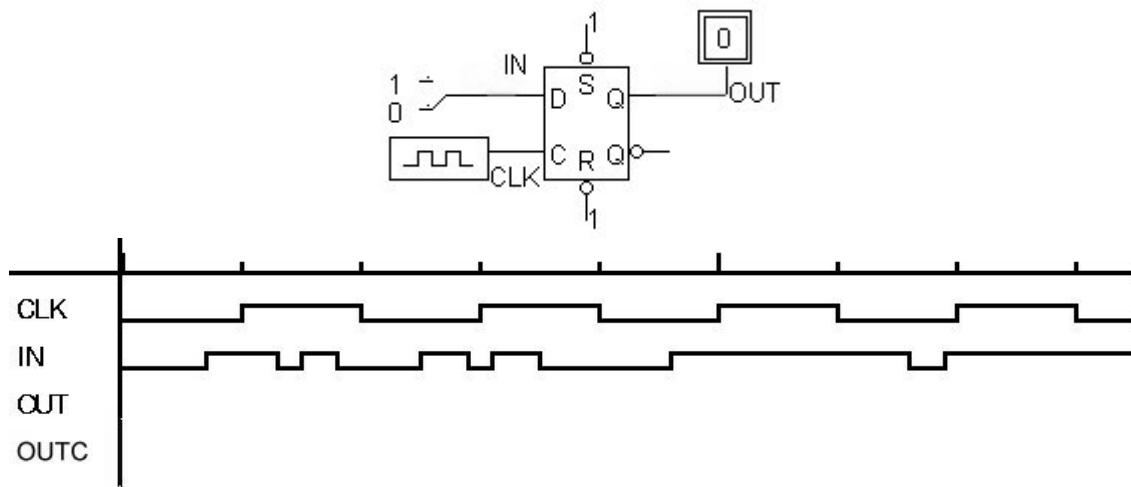
Nota 2: Els circuits necessaris per a aquesta pràctica estan al subdirectori s:\logic\ic\pract3. Executeu icp3 per tal de copiar-los al vostre disquette.

Nota 3: Caldria que dibuixéssiu línies verticals en els cronogrames per a que siguin més clars (una ratlla per cada marca de l'eix temporal).

Nota 4: Per a tots els escenaris, els biestables estan sincronitzats per flanc de pujada.

5.1. Escenari 1

5.1.1. Apartat 1



Nota 1: Si voleu canviar la resolució de la finestra de Timing heu d'utilitzar Options/Timing Options i canviar el nombre de *dots per time unit*.

Nota 2: Per tal de recuperar l'estat inicial del cronograma, cal tornar a carregar el circuit.

Treball a realitzar sobre el paper

Omplir el cronograma (senyal OUTC).

Treball a realitzar sobre l'ordinador

a) Carregueu el circuit anomenat s3es1ap1.cct

A la finestra de Timing hi teniu l'evolució temporal dels senyals del cronograma de l'enunciat. Copieu l'evolució d' OUT al cronograma anterior. Veieu l'evolució temporal de la sortida (OUT) i compareu-la amb la que heu calculat (OUTC).

Heu trobat diferències? Quines? En quin t? Perquè estava malament? (Ompliu el quadre)

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

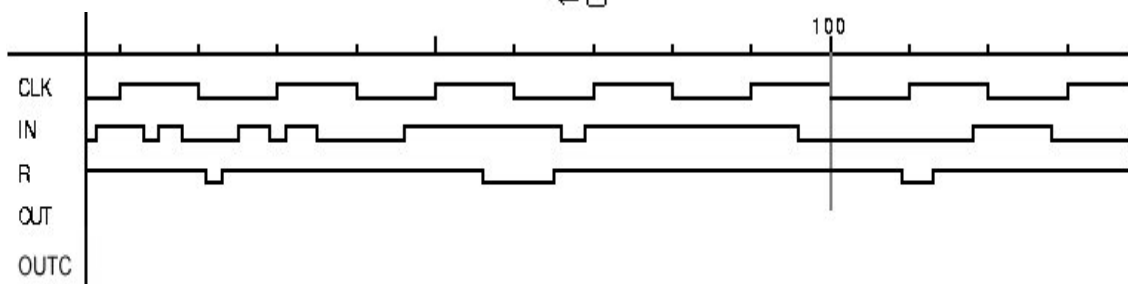
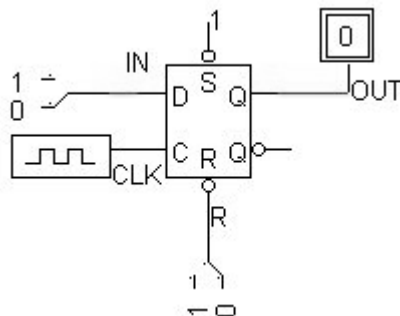
t	Diferència		Perquè?
	Calculat	Correcte	

b) Quin és el període del rellotge?

c) Què fa un biestable D?

5.1.2. Apartat 2

Nota: Els senyals asíncrons només s'utilitzen per inicialitzar el sistema i durant el funcionament normal del sistema no s'utilitzen. Essent conscients d'això, en aquest apartat no els utilitzarem exclusivament per inicialitzar, sinó que jugarem una mica amb aquest senyals per tal de veure la seva influència sobre la sortida d'un biestable.



Treball a realitzar sobre el paper

Omple el senyal OUTC del cronograma que es dona a la figura. Considereu que l'estat inicial d'aquest senyal és 1.

Treball a realitzar sobre l'ordinador

a) Carregueu el circuit anomenat s3es1ap2.cct

A la finestra de Timing hi teniu l'evolució temporal dels senyals del cronograma de l'enunciat. Copieu l'evolució d' OUT al cronograma anterior. Veieu l'evolució temporal de la sortida (OUT) i compareu-la amb la que heu calculat (OUTC).

Heu trobat diferències? Quines? En quin t? Perquè estava malament? (Ompliu el quadre)

Nom : _____ Grup: _____

Nom : _____ Grup: _____

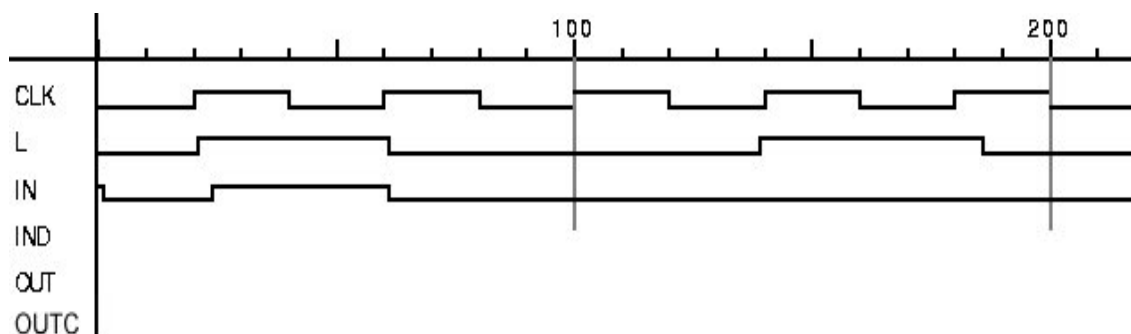
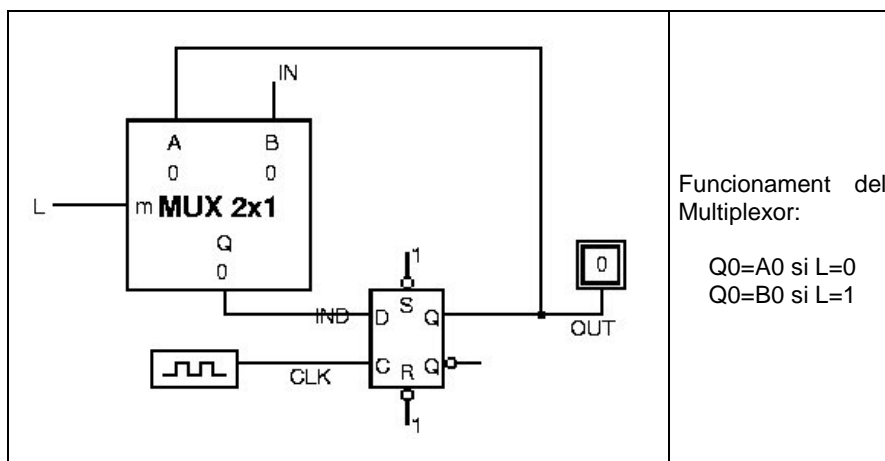
Professor de Laboratori: _____

t	Diferència		Perquè?
	Calculat	Correcte	

b) Quines entrades del biestable són síncrones? Què vol dir que siguin síncrones?

c) Quines entrades són asíncrones? Què vol dir que siguin asíncrones?

5.2. Escenari 2



Treball a realitzar sobre el paper

Ompliu el cronograma de la figura (senyals IND i OUTC). Considereu que el multiplexor introdueix un retard de 20 unitats de temps.

Treball a realitzar sobre l'ordinador

a) Carregueu el circuit anomenat s3es2.cct

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

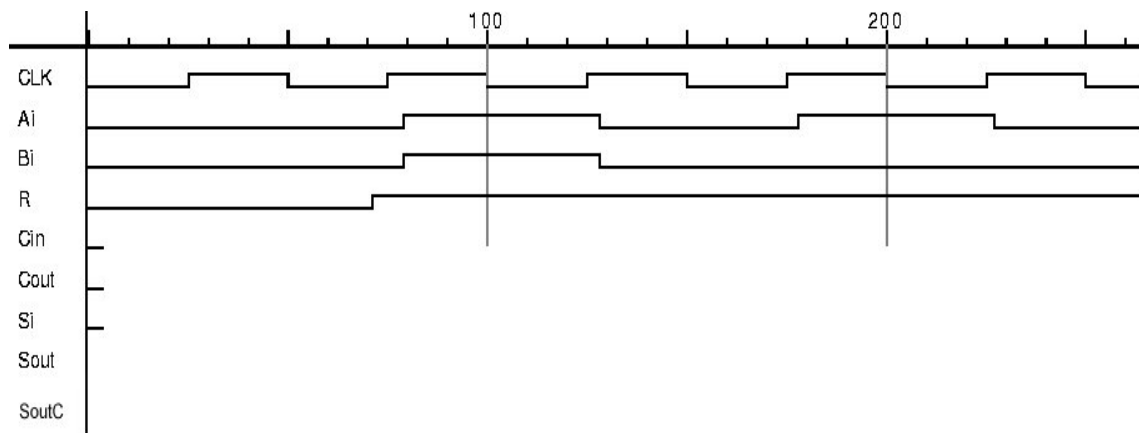
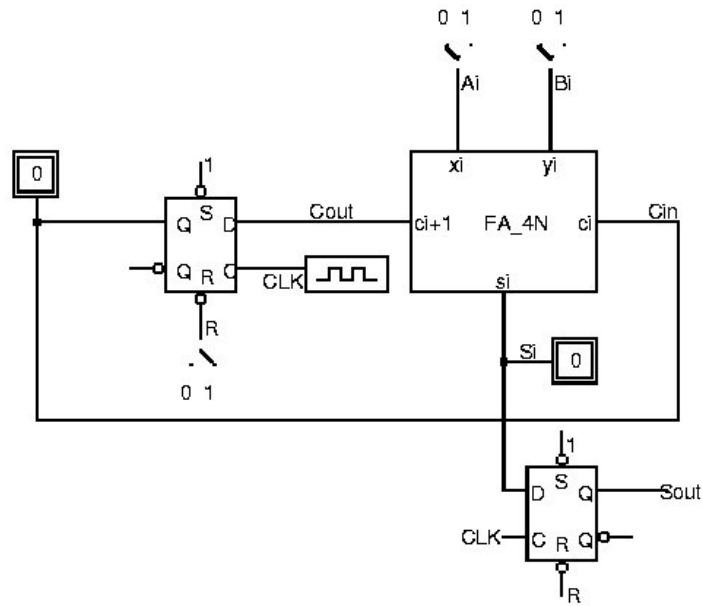
A la finestra de Timing hi teniu l'evolució temporal dels senyals del cronograma de l'enunciat. Copieu l'evolució d' OUT al cronograma anterior. Veieu l'evolució temporal de la sortida (OUT) i compareu-la amb la que heu calculat (OUTC).

Heu trobat diferències? Quines? En quin t? Perquè estava malament? (Ompliu el quadre)

t	Diferència		Perquè?
	Calculat	Correcte	

b) Per a què serveix el senyal L?

5.3. Escenari 3



Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

Nota: Recordeu que el retard màxim del bloc FA_4N és de 40 unitats de temps.

Treball a realitzar sobre el paper

a) Ompliu el cronograma adjunt (senyals Cin, Cout, Si i SoutC).

b) Què fa el circuit?

Treball a realitzar sobre l'ordinador

a) Carregueu el circuit s3es3.cct.

A la finestra de Timing hi teniu l'evolució temporal dels senyals del cronograma de l'enunciat. Copieu l'evolució de Sout al cronograma anterior. Veieu l'evolució temporal de la sortida (Sout) i compareu-la amb la que heu calculat (SoutC).

Heu trobat diferències? En quin t? Quines? Perquè estava malament? (Ompliu el quadre)

t	Diferència		Perquè?
	Calculat	Correcte	

b) Tenen alguna utilitat els senyals asincrons en aquest escenari? (Raona la resposta)

c) El circuit d'aquest escenari és combinacional o seqüencial? Perquè?

d) Quines xifres de 4 bits estem sumant?

e) Compara el retard del circuit de la pràctica 2 amb el d'aquest circuit quan sumem nombres de 4 bits. Què determina el retard en aquest cas (marca la/les respostes correctes)?

1. el retard del circuit combinacional
2. el temps de cicle
3. totes les anteriors
4. cap de les anteriors

Recordeu que el sumador de 4 bits fet amb FA_2Ns tenia un retard màxim de 80 unitats de temps i el que estava fet amb FA_4Ns de 100 unitats de temps.

f) Com es podria reduir el retard del sistema actual?

g) Canvia el full-adder FA_4N pel FA_2N. Observa si canvia el temps de càlcul de la suma d'un nombre de 4 bits?

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

h) Com es podria reduir el retard del sistema actual?

i) Quin seria el temps de cicle mínim per a FA_2N? I per a FA_4N?

Nota: Per fer això has de conèixer la circuiteria interna de cadascun d'aquests blocs i calcular el temps del camí crític. El temps de camí crític és el camí amb major retard que es recorre des que es surt d'un element de memòria fins que s'entra al següent. (Suposeu que el temps de càrrega del biestable es pot despreciar)

j) Què passa si estem per sota del temps de cicle mínim? (raona la resposta)

Nota: Per a fer aquest apartat has de carregar el circuit s3es3_t.cct.

Nom : _____ Grup: _____

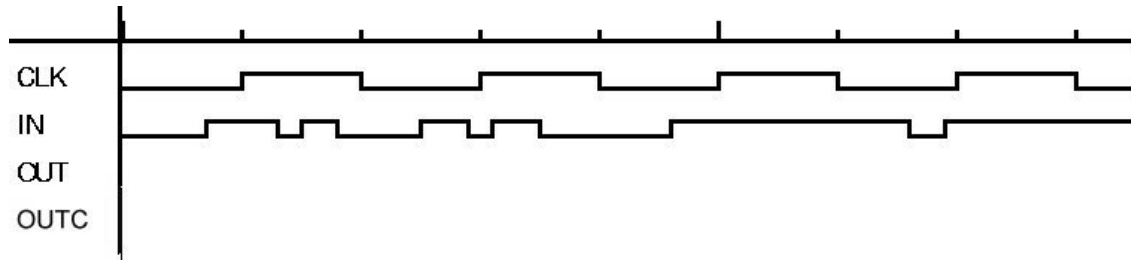
Nom : _____ Grup: _____

Professor de Laboratori: _____

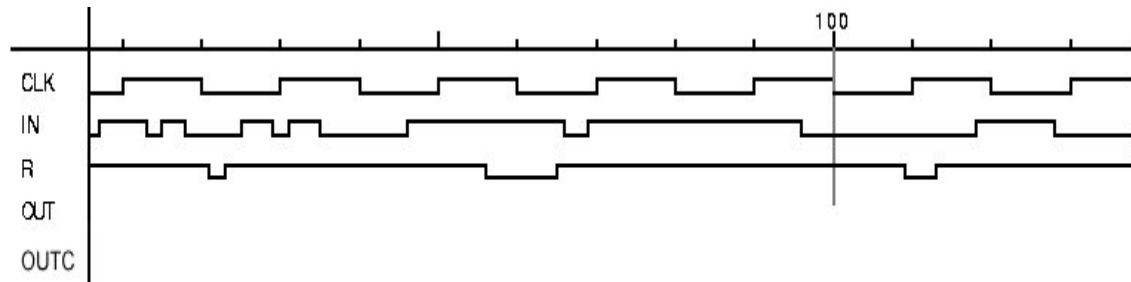
6. PRÀCTICA 3: BIESTABLES I S.L.S. SIMPLES (full de cronogrames)

6.1. Escenari 1

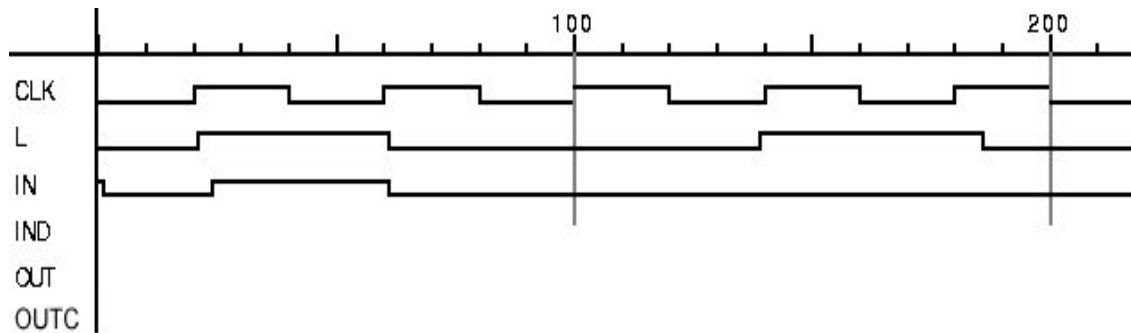
6.1.1. Apartat 1



6.1.2. Apartat 2



6.2. Escenari 2

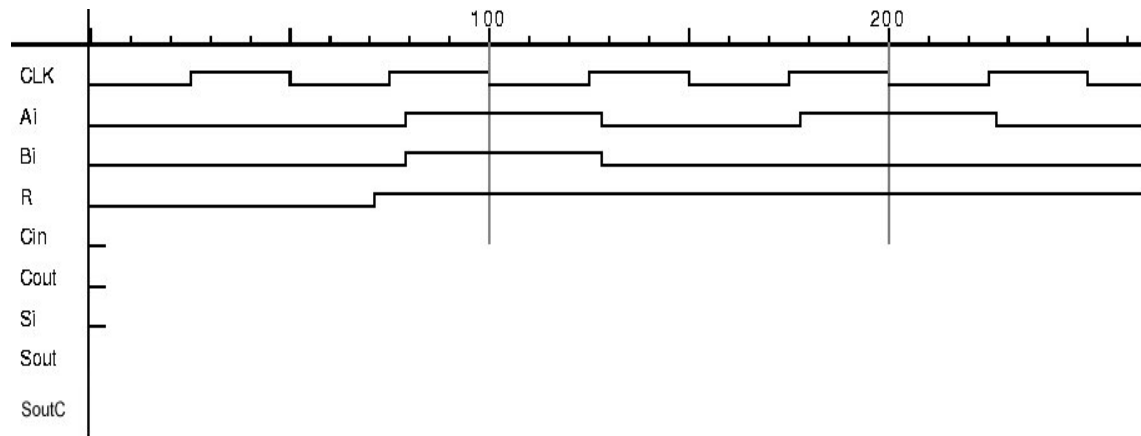


Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

6.3. Escenari 3



b) Què fa el circuit?

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

7. PRÀCTICA 4: UNITAT DE PROCÉS I UNITAT DE CONTROL (enunciat i fulls de resposta)

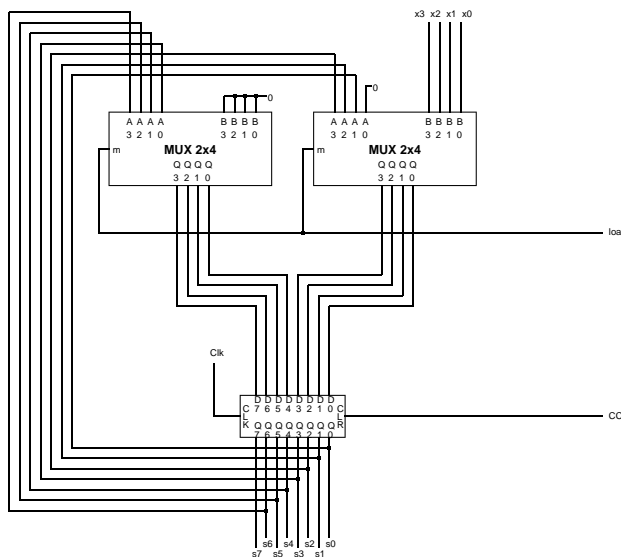
Objectius:

- Comprendre el funcionament d'un circuit seqüencial complex que multiplica dos números naturals codificats en binari.
- Entendre l'algorisme de multiplicació implementat.

Nota: Podeu copiar els circuits relacionats amb el multiplicador (`mult.cct`) al vostre disquette executant la comanda `icp4mul`.

7.1. Anàlisi dels components del multiplicador

- 1) Carregueu el circuit de `multA.cct`. Breument, que fa el circuit A?



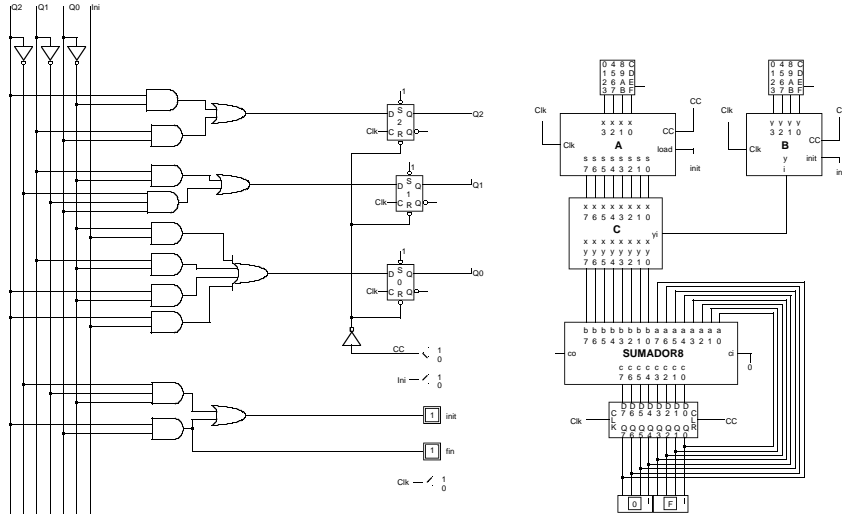
- 2) Carregueu el circuit de `multB.cct`. Breument, que fa el circuit B?

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

7.2. Anàlisi del multiplicador



Els components del multiplicador són els següents:

- 3 biestables, numerats com 2, 1 i 0 segons la seva sortida Q sigui Q2, Q1 i Q0, respectivament
- El circuit A
- El circuit B
- El circuit C
- El bloc SUM, què és un sumador de 2 nombres de 8 bits
- Un registre
- Portes AND, OR i NOT

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

A mes a mes, hi han dos teclats hexadecimals per entrar els números a multiplicar, tres interruptors per controlar el reset del circuit (CC), l'entrada `Ini` i el rellotge manual (`Clk`). També s'han afegit dos visualitzadors d'un bit pels senyals `init` i `fin` i dos visualitzados hexadecimals pel resultat de la multiplicació.

Donat el multiplicador del fitxer `mult.cct`

Identifiqueu els components que formen part de la Unitat de Control (UC) i els que formen part de la Unitat de Procés (UP).

Components UC	Components UP

1) Completeu el següent diagrama de blocs amb els senyals que entren i surten de la UP i UC.



2) A partir del circuit de la Unitat de Procés deduïu l'algorisme de multiplicació implementat.

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

3) On queda el resultat final?

4) Quants cicles es tarda en obtenir-lo?

5) Quin és el camí crític de la UP? Quin és el seu retard? (Nota: Mireu el retard dels components amb l'opció Options/Set Params)

6) Què passa quan $T_{cicle} < T_{camí\ crític}$? Perquè? Comproveu-ho en el Logic.

7) Quins són els senyals asíncrons del circuit?

8) Per a què s'utilitzen?

7.3. Unitat de Control

1) Analitzeu la UC i el comportament del circuit i dibuixeu-ne el graf d'estats.

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

2) Què es fa en cada estat?

Estat	Què es fa?

3) Quines serien les entrades i sortides d'una ROM que implementés tota la UC (estat+sortides)? Feu-ne un diagrama de blocs.

4) Quin seria el contingut d'aquesta ROM?

Entrades	Sortides

Nom : _____ Grup: _____

Nom : _____ Grup: _____

Professor de Laboratori: _____

7.4. Cronograma

Ompliu el cronograma adjunt per a la multiplicació dels nombres naturals codificats en binari A=0101 i B=0111.

Clk											
Estat											
Ini											
Init											
fin											
A											
B											
Registre											

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

8. PRÀCTICA 5: MÀQUINA RUDIMENTÀRIA (enunciado)

Objetivos:

- Entender qué hacen las instrucciones
- Comprender cómo se realiza la traducción de LE a LM

Trabajo a realizar sobre papel

1) Indica cuáles de las siguientes instrucciones están correctamente especificadas en lenguaje ensamblador de la MR. En caso de que no sean correctas, especifica claramente el por qué:

- a) LOAD R1(R0), R1
- b) STORE R1, R1(3)
- c) BG 6(R1)
- d) ADDI R2, #11, 5(R3)
- e) SUB R0, R2, R3
- f) LOAD 3(R0), R1

Trabajo a realizar sobre ordenador

Escribid estas instrucciones en un programa (no hace falta que haga ninguna función específica) e intentad compilarlo. Comprobad que se producen errores de compilación en las instrucciones que vosotros habéis señalado como erróneas.

Un ejemplo de programa para realizar esta prueba es el siguiente:

```
.begin inicio
inicio:
LOAD R1(R0), R1
STORE R1, R1(3)
BG 6(R1)
ADDI R2, #11, 5(R3)
SUB R0, R2, R3
LOAD 3(R0), R1
.end
```

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

Trabajo a realizar sobre papel

- 2) El contenido de algunos registros y posiciones de memoria de la MR, expresado en notación hexadecimal, es el siguiente:

R0=0000h
R1=0002h
R2=A5E3h
R3=F412h
N=0
Z=1
V=1
M[0Ch]=F45Ah
M[0Dh]=0033h

Para cada una de las instrucciones siguientes, **y partiendo en cada instrucción de las condiciones iniciales descritas anteriormente**, indicad si la ejecución de las instrucciones altera el valor de algún registro, alguna posición de memoria o los indicadores de condición N, Z y V así como su valor final.

- a) LOAD 12(R0), R1
- b) STORE R1, 1(R3)
- d) BG 33
- e) ADDI R2, #11, R3
- f) SUB R0, R2, R3
- h) ASR R1, R1

- 3) Traducid a lenguaje máquina de la MR (hexadecimal y binario) el siguiente programa:

@	M[@]
05h	SUB R1, R1, R1
06h	ADD R0, R0, R2
07h	SUBI R1, #4, R0
08h	BEQ 13
09h	LOAD 0(R1), R3
0Ah	ADD R3, R2, R2
0Bh	ADDI R1, #1, R1
0Ch	BR 07
0Dh	STORE R2, 4(R0)

Las posiciones de memoria que van desde la 00h a la 03h, ambas inclusive, contienen la secuencia de cuatro números 3, 5, 2, 8, almacenados de forma consecutiva. Esta secuencia de valores no está especificada en el programa anterior. La posición 00h contiene el primer elemento, la posición 01h el segundo elemento, etc.. El programa descrito anteriormente se encuentra almacenado a partir de la posición de memoria 05h. Con estas suposiciones, contestad los siguientes apartados:

- a) ¿En qué posición de memoria escribe este programa el resultado?
- b) ¿Qué hace el programa?

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

Trabajo a realizar sobre ordenador

4) Contestad los siguientes apartados

- a) Arracad el simulador de la MR y cargad el programa pract1.cod. Estableced una relación entre el código ensamblador del programa presentado por el simulador y la traducción realizada por vosotros en el punto 3.
- b) Observad que inicialmente PC=05h (el PC apunta a la primera instrucción ejecutable del programa). Ejecutad el programa instrucción por instrucción, observando el resultado de ejecutar cada una de las instrucciones. Predecid las variaciones producidas en el banco de registros y en la memoria antes de ejecutar las instrucciones en el simulador.
- c) Comprobad que el resultado de la ejecución del programa coincide con lo que habéis previsto en el apartado b) del punto 3.

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

HOJA DE RESPUESTAS

Apartado 1)

Instrucción	Bien/Mal	Explicación
a) LOAD R1(R0), R1		
b) STORE R1, R1(3)		
c) BG 6(R1)		
d) ADDI R2, #11, 5(R3)		
e) SUB R0, R2, R3		
f) LOAD 3(R0), R1		

Apartado 2)

Descripción de la operación que realiza:

Instrucción	Descripción
a) LOAD 12(R0), R1	
b) STORE R1, 1(R3)	
c) BG 33	
d) ADDI R2, #11, R3	
e) SUB R0, R2, R3	
f) ASR R1, R1	

Valores finales:

Instrucción	R0	R1	R2	R3	N	Z	V	M[0Ch]	M[0Dh]	Otros
f) LOAD 12(R0), R1										
g) STORE R1, 1(R3)										
h) BG 33										
i) ADDI R2, #11, R3										
j) SUB R0, R2, R3										
f) ASR R1, R1										

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

Apartado 3)

Instrucción LE	Instrucción LM (binario)	Instrucción LM (hexa)
SUB R1, R1, R1		
ADD R0, R0, R2		
SUBI R1, #4, R0		
BEQ 13		
LOAD 0(R1), R3		
ADD R3, R2, R2		
ADDI R1, #1, R1		
BR 07		
STORE R2, 4(R0)		

a)

b)

Apartado 4) Comentarios sobre la práctica:

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

9. PRÀCTICA 6: MÀQUINA RUDIMENTÀRIA (enunciado)

Objetivos:

- Aprender a escribir programas sencillos que funcionen correctamente
- Aprender a depurar programas sencillos
- Estudiar la ejecución de instrucciones ciclo a ciclo, analizando el comportamiento de la unidad de control y la unidad de proceso en la ejecución de cada ciclo de instrucción
- Aprender a analizar el resultado de la ejecución de programas sencillos
- Ser capaz de calcular el tiempo de ejecución de un programa y el tiempo medio de ejecución de sus instrucciones

Trabajo a realizar sobre papel

1) Escribid un programa en lenguaje ensamblador de la MR que, dados dos números enteros cualesquiera (de 16 bits) almacenados respectivamente en las posiciones 0 y 1 de memoria, los sume y deje su contenido en la posición de memoria 3. El valor de los números debe ser definido por vosotros en el programa.

Trabajo a realizar sobre ordenador

Arrancad el simulador de la MR

2)

a) Pasad el programa anterior por el simulador de la MR. Para ello, debéis:

- escribirlo con el editor de textos del simulador (Archivo->nuevo). El fichero debe tener extensión .asm
- ensamblarlo (traducirlo a lenguaje máquina) usando la opción de “compilar”
- ejecutarlo y comprobar que funciona correctamente (escribe el valor de la suma en la posición 3). Utilizad la opción “ejecutar programa”, que ejecuta el programa completo.

b) Seleccionad, en la unidad de control, la Unidad de control simplificada. Ejecutad, una por una y ciclo a ciclo cada una de las instrucciones del programa. Indicad, para cada instrucción:

b.1) ¿por qué estados pasa la Unidad de Control?

b.2) ¿qué operaciones se realizan en la Unidad de Proceso en cada uno de los estados?

b.3) Calculad el tiempo de ejecución (número de ciclos) del programa

b.4) ¿Cuál es el número medio de ciclos que tarda en ejecutarse cada instrucción?

b.5) Indicad el valor final de todos los registros y posiciones de memoria implicados durante la ejecución del programa

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

HOJA DE RESPUESTAS

Apartado 1)

Apartado 2)

a) Errores encontrados y modificaciones realizadas sobre el apartado 1

Nombre : _____ Grupo: _____

Nombre : _____ Grupo: _____

Profesor de Laboratorio : _____

b.1) y b.2)

Instrucción	Estados	Operaciones realizadas en la UP

b.3)

b.4)

b.5)

Observaciones: