

**UNIVERSITAT POLITÈCNICA DE
CATALUNYA**

**ESCOLA UNIVERSITÀRIA POLITÈCNICA DE
VILANOVA I LA GELTRÚ**

PRÀCTIQUES DE ARCO

G-45

Profesor: Eva MarínTordera

Departament: Arquitectura de Computadors

Retardos de las puertas y de los módulos en las prácticas:

Práctica 1: Aritméticos (sesiones 1, 2 y 3)

NOT	5 u.t.
OR, AND, NOR, NAND i XOR < 5 entradas	10 u.t.
Otras	13 u.t.
MULTIPLEXORES	20 u.t.

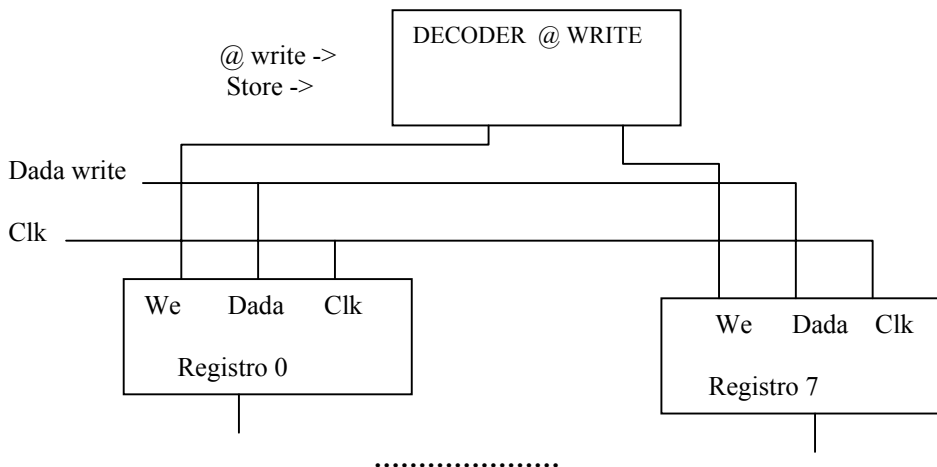
Práctica 2: Procesador (sesiones 4, 5 y 6)

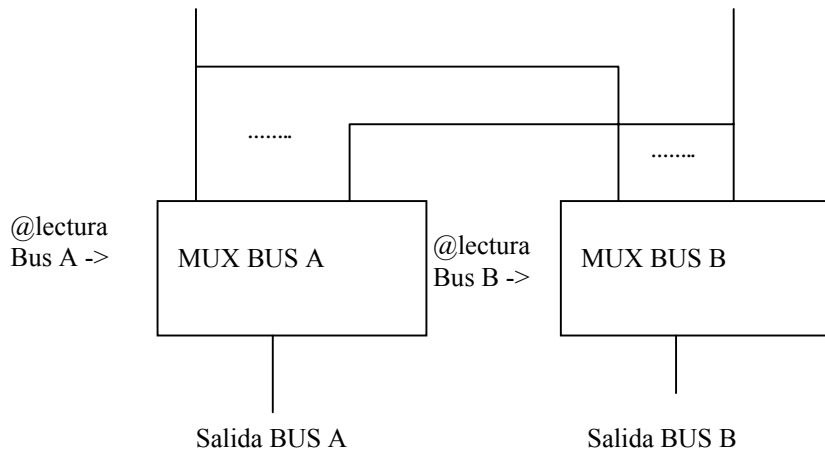
Nombre del módulo Retardo máximo

RAM de datos	60 u.t.
NOT	3
NAND-2	4
Registros (8 y 11 bits)	10
Biestables	10
Control de salto	13
ALU	26
Multiplexores 2x8 i 2x4	8
Multiplexor 4x8	14
ROM decodificación	13
ROM de programa	60
ADD-1 (Incrementador PC)	16
Comparador-3	9
AND / OR de i entradas	2+i

Banco de registros

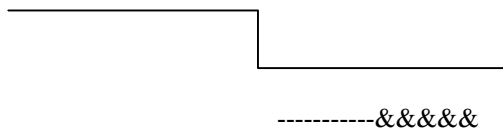
Lectura (Paso por el multiplexor)	11
Decodificador de la @ de escritura	12
Escritura a partir del flanco	10





NOTAS:

- 1- Tened en cuenta que la dirección del registro de escritura llega antes que el dato a escribir y que el flanco de reloj.
- 2- La escritura en el banco de registros se hace en el momento en que llega el flanco de reloj ascendente para la sesión 4 y descendente para la 5 y la 6.
Por tanto, las 10 unidades de retardo son a partir del flanco.
En el caso de la sesión 5 y 6 , si queréis escribir y después leer el retardo es de 10+11.
Clk



----- Escribir el dato en registro X.

&&&& Leer el dato de registro X.

SESION 1: Sumador con propagación serie de Carry

En esta sesión se implementará y simulará, utilizando Logic Works, un módulo sumador con propagación serie de carry de 4 bits.

- Implementa con puertas lógicas un FA.
 - 1) Da el esquema del FA
 - 2) Simula el comportamiento del FA e indica el retardo del circuito.
- A partir del FA diseña un sumador de vectores de 4 bits con propagación serie de carry.
 - 3) Da el esquema del sumador diseñado.
 - 4) Determina experimentalmente el retardo del sumador.
 - 5) Calcula el retardo teórico del circuito en función del número de bits del sumador.

PRÁCTICA 1: SUMADOR CON ANTICIPACIÓN DE CARRY

El objetivo de la práctica es el diseño de un Sumador con Anticipación de Carry (Carry Look-Ahead Adder) de 16 bits utilizando anticipadores de 4 bits.

SESIÓN 2: Módulo Anticipador

En esta sesión se diseñaran los módulos básicos de un sumador con anticipación de carry-

- 1) Diseña un módulo sumador de 1 bit (FAM) que a partir de X_i , Y_i y C_i genere las señales S_i , P_i y G_i . Da el esquema del circuito.
- 2) Diseña un módulo anticipador (CLA de 4 bits) que a partir de C_i , P_i , P_{i+1} , P_{i+2} , P_{i+3} , G_i , G_{i+1} , G_{i+2} , G_{i+3} genere las señales C_{i+1} , C_{i+2} , C_{i+3} , C_{i+4} , P^* y G^* . Da el esquema del circuito y justifica su funcionamiento.
- 3) Calcula el tiempo de retardo teórico de los módulos FAM y CLA diseñados.
- 4) Mide el tiempo de retardo de los módulos con el simulador y compáralos con el retardo teórico.

SESIÓN 2: Sumador CLA de 16 bits

- 1) Construir el sumador completo de 16 bits utilizando los módulos FAM y CLA diseñados en la sesión anterior.
- 2) Mide el tiempo de retardo del sumador con el simulador y compáralo con el teórico.
- 3) Indica el número de niveles de anticipación necesarios en función de la longitud (n) de los vectores a sumar. Calcula el número total de módulos anticipadores en función de n .

- 4) Compara el tiempo de retardo de un sumador con anticipación de carry con el retardo de un sumador con propagación serie de carry.

